

# Special Topic on Oxide Reliability

## Lecture note

高英倫自行整理的上課講義，授課教師為胡振國教授<sup>1</sup>

April 30, 2020

<sup>1</sup>這是我於胡振國教授上課時所自行整理的筆記，並沒有跟教授提起過這份筆記。我的個人網誌：<https://www.ethanideas.url.tw>



# 序言

這是我第一份 L<sup>A</sup>T<sub>E</sub>X 上課筆記，因為胡教授教得很好，而且我自己也對這些內容很有興趣，所以決定開始寫我的第一份——可能也會是最後一份——L<sup>A</sup>T<sub>E</sub>X 筆記。裡面主要有分兩大部分。第一部分是白紙黑字的胡教授講稿，我將它重新排版、稍微修稿潤飾以及翻譯改寫後整理得來的，第二部分則是淺青藍底黑字的「解釋」內容，這是我從上課錄音檔、上網查詢的資料以及在我個人理解消化後，所寫下來的個人心得。因為我並沒有跟教授提起我想自己做這份筆記，所以完全沒有跟教授確認我所記下與理解之內容是否正確，因此內容可能有錯，僅供有緣的同學參考。



# Contents

1	穩定度概述	1
1.1	製程整合挑戰 (Process Integration Challenges)	1
1.1.1	先進技術 MOSFET 之縮小化問題	2
1.1.2	高介電常數閘極介電質 (high-k gate dielectric) 及金屬閘 (metal-gate electrode) 之合成問題	3
1.1.3	材料、製程及結構之穩定度問題	4
1.1.4	先進技術 DRAM 與 SRAM 之縮小化問題	4
1.1.5	先進技術高密度非揮發性記憶體 (non-volatile memory) 之縮小化問題	6
1.2	邏輯電路技術需求 (Logic Technology Requirements)	8
1.2.1	$L_g$ physical gate length for high performance logic	8
1.2.2	EOT: Equivalent Oxide Thickness	8
1.2.3	Gate Poly Depletion and Inversion-Layer Thickness	10
1.2.4	Electrical Equivalent Oxide Thickness	12
1.2.5	$I_{sd,leak}$ : Source/Drain subthreshold off-state leakage current	15
1.2.6	$J_{g,limit}$ : Maximum Gate Leakage Current Density	16
1.2.7	$V_{dd}$ : Power Supply Voltage	17
1.2.8	$I_{d,sat}$ : Saturation NMOS Drive Current	18
1.2.9	$I_{d,ratio}$ : Mobility Enhancement Factor for $I_{d,sat}$	19
1.2.10	$\mu$ ratio: Mobility Enhancement Factor	19
1.2.11	$R_{sd}$ : Effective Parasitic Series Source / Drain Resistance	20
1.2.12	$C_{g,ideal}$ : Ideal NMOS Device Gate Capacitance	20
1.2.13	$C_{g,total}$ : Total Gate Capacitance for Calculation of $CV/I$	20
1.2.14	$\tau$ : N-MOSFET Intrinsic Delay	21
1.2.15	$1/\tau$ : N-MOSFET Intrinsic Switching Speed	21
1.2.16	Effective Ballistic Enhancement Factor (a multiplying factor for $I_{d,sat}$ )	21
1.3	材料退化及穩定度模型	22
1.3.1	材料衰變通性	22
1.3.2	穩定度模型	25

1.3.3	統計分析	32
1.4	氧化層 TDDB 崩潰模型簡介 ( $\varepsilon$ -model and $1/\varepsilon$ -model for Oxide TDDB)	40
1.4.1	TDDB - Time-Dependent Dielectric Breakdown	40
1.4.2	$\varepsilon$ -model 與 $1/\varepsilon$ -model 之比較	41
<b>2</b>	<b>電晶體結構</b>	<b>43</b>
2.1	GIDL (Gate-Induced Drain Leakage)	43
2.2	Charge-Sharing effect	45
2.3	DIBL (Drain Induced Barrier Lowering)	47
2.4	Substrate Bias Effect	48
2.5	RSCE (Reverse Short-Channel Effects)	49
2.5.1	可能原因	49
2.5.2	Enhanced $\hat{V}_T$ roll-off	50
2.6	Punchthrough (Subsurface-DIBL) Effect	50
2.6.1	避免擊穿之方法	51
2.6.1.1	方法 1: $N_{\text{sub}}$ control	51
2.6.1.2	方法 2: PTI (Punchthrough Implant)	51
2.6.1.3	方法 3: Halo Implant	51
2.7	Hot Carrier Effect	52
2.7.1	Models of Hot-Carrier Degradation Phenomena	53
2.7.1.1	Si-H Bond Breaking Model	53
2.7.1.2	Hot-Hole and Hot-Electron Trapping Model	55
2.8	Phosphorus-Drain Structure	57
2.9	DDD (Double-Diffused Drain)	57
2.10	LDD (Lightly-Doped Drain)	59
2.10.1	$E_{y,\text{max}}$ 簡易求法	59
2.10.2	LDD 之 $n^-$ 區引起之串聯電阻 $R_{n^-}$	61
2.10.3	LDD 基本製程步驟	62
2.11	MOSFET 之源極與汲極間的重疊效應	62
2.12	M-LDD (Moderate Lightly-Doped Drain)	64
2.13	B-LDD (Buried LDD)	65
2.14	P-LDD (Profiled LDD)	65
2.15	Metal-coated LDD	66
2.16	IT-LDD (Inverse-T Gate LDD)	67
2.17	GOLD (Gate-Drain Overlapped LDD)	68
2.18	IT-FOLD (Inverse-T Gate Fully Overlapped LDD)	69
2.19	TOPS (Total Overlap with Polysilicon Spacer)	70
2.20	L-Shaped Spacers	72
2.21	Self-aligned IT-LDD	73
2.22	LATID (Large-Angle-Tilt Implanted Drain)	74
2.23	No Spacer LATID	76
2.24	LATID with GGO (graded-gate oxide)	76
2.25	H-LDD (High-Dielectric Spacer LDD)	77

2.26	HS-GOLD (Halo-Source Gate-Overlapped Drain)	78
2.27	HEIP (Hot-Electron Induced Punchthrough)	79
2.28	Disposable Spacers	80
2.28.1	Disposable Oxide-Sidewall-Spacer Process	80
2.28.2	Disposable Polysilicon Spacer Process	81
2.28.3	Disposable TiN Spacer Process	82
<b>3</b>	<b>氧化層生長及穩定度</b>	<b>83</b>
3.1	生長機制模型與技術	83
3.1.1	矽的氧化機制	83
3.1.1.1	Deal-Grove model	83
3.1.1.2	Cabrera-Mott model	88
3.1.1.3	Empirical model (Reisman and Nicollian)	90
3.1.2	氧化層成長技術	90
3.2	氧化層結構	90
3.2.1	SiO <sub>2</sub> /Si 界面缺陷	91
3.2.2	氧化層電荷與界面陷阱基本特性	91
3.3	電荷抓陷特性	91
3.3.1	氧化層抓陷電子與電洞之基本行為	91
3.3.1.1	Electron trapping	91
3.3.1.2	Hole trapping	91
3.3.2	與電場相關之電荷注入	93
3.3.2.1	Direct tunneling	93
3.3.2.2	Fowler-Nordheim (FN) Tunneling	97
3.3.3	MOSFET 元件之電荷注入	103
3.3.3.1	DAHC injection	103
3.3.3.2	CHE injection	106
3.3.3.3	元件衰退特性觀察	109
3.3.3.4	p-MOSFET 之元件衰退特性	110
3.4	氧化層崩潰穩定度理論	116
3.4.1	崩潰特性與機制	116
3.4.1.1	TDDB 特性與機制	117
3.4.2	崩潰模型與穩定度評估	117
3.4.2.1	Intrinsic Oxide Breakdown model	117
3.4.2.2	Extrinsic Oxide Breakdown model	119
3.4.2.3	$\Delta t_{ox}$ 與缺陷密度 $D$ 之關係	121
3.4.2.4	穩定度評估範例	122
<b>4</b>	<b>輻射穩定度</b>	<b>125</b>
4.1	輻射對材料之影響	125
4.1.1	游離效應 (Ionization effects)	125
4.1.1.1	Electron-hole pair generation	125
4.1.1.2	Dose Enhancement	127
4.1.2	位移效應 (Displacement effects)	129

4.2	MOS 元件之輻射效應 . . . . .	129
4.2.1	量測技術 . . . . .	130
4.2.1.1	電子自旋共振 (Electron Spin Resonance) . . . . .	132
4.2.2	電子—電洞良率 (Electron-hole yield) . . . . .	134
4.2.3	電洞傳輸 (Hole transport) . . . . .	135
4.2.4	氧化層能阱 (Oxide traps, $N_{ot}$ ) . . . . .	137
4.2.4.1	氧化層能阱電荷之中和特性 (Oxide-trap charge neutralization) . . . . .	138
4.2.4.2	消弭機制 (Anneal, 中和氧化層能阱電荷) . . . . .	139
4.2.4.3	微觀缺陷中心 (Microscopic Defect Centers) . . . . .	139
4.2.5	界面能阱 (Interface traps, $N_{it}$ ) . . . . .	139
4.2.5.1	界面能阱之生成特性 (Build up of interface traps) . . . . .	139
4.2.5.2	界面能阱之消弭特性 (anneal) . . . . .	139
4.2.5.3	界面性質之產生機制 . . . . .	139
4.2.6	邊界能阱 (Border traps) . . . . .	141
4.2.7	元件特性 . . . . .	141
4.2.7.1	薄氧化層 (Thin oxides) . . . . .	141
4.2.7.2	場氧化層 (Field oxides) . . . . .	141
4.3	SOI 之輻射效應 . . . . .	141
4.3.1	SOI 元件 . . . . .	141



# List of Figures

1.1	Schematic diagram of ITRS roadmap . . . . .	1
1.2	Static noise margin of SRAM. . . . .	6
1.3	memory cell area. . . . .	8
1.4	Various forms of gate. . . . .	9
1.5	Inversion-layer thickness effect. . . . .	10
1.6	$n^+$ -Poly Silicon Gate. . . . .	11
1.7	Fermi level of $n^+$ -Poly Silicon Gate of NMOS. . . . .	12
1.8	Illustration of gate width, length and ideal capacitance. . . . .	13
1.9	Illustration of leakage current of N-MOSFET. . . . .	15
1.10	Illustration of maximum of gate leak current. . . . .	16
1.11	$I_D$ vs. $V_D$ . . . . .	17
1.12	$I_D$ vs. $V_{gs}$ . . . . .	17
1.13	Conservation of matter: continuity equation. . . . .	22
1.14	$\ln(t_{50})$ vs. $J(\text{A}/\text{cm}^2)$ . . . . .	29
1.15	$\ln(t_{50})$ vs. $1000/T(\text{K})$ . . . . .	29
1.16	Thermal cycles with variation of stress. . . . .	30
1.17	Crack length $L$ of brittle materials . . . . .	30
1.18	Failure rate vs. sample size. . . . .	33
1.19	Failure rate distribution. . . . .	36
1.20	Failure probability distribution function. . . . .	37
1.21	Illustration of Weibull plot. . . . .	38
1.22	Comparison with cumulative failure $F(t)$ under different test conditions. . . . .	39
1.23	Comparison of $\varepsilon$ -model and $1/\varepsilon$ -model in TF vs. $\varepsilon$ plot. . . . .	41
1.24	Comparison of $\varepsilon$ -model and $1/\varepsilon$ -model in $\gamma$ vs. $\varepsilon_{\text{ox}}$ plot. . . . .	41
1.25	Comparison of $\varepsilon$ -model and $1/\varepsilon$ -model in TF vs. $\varepsilon_{\text{ox}}$ plot. . . . .	42
2.1	Illustration of GIBL. . . . .	43
2.2	Illustration of charge-sharing effect. . . . .	46
2.3	Illustration of $\hat{V}_t$ roll-up and roll-off effect. . . . .	46
2.4	Illustration of edge-depletion-region effect. . . . .	47
2.5	Illustration of drain-induced barrier lowering effect. . . . .	48
2.6	Normal and reverse S/D. . . . .	54

2.7	Illustration of hot carrier injection. . . . .	54
2.8	Si-H Bond breaking model. . . . .	55
2.9	The way how electrons in channel get energy to overcome the Si-SiO <sub>2</sub> barrier. . . . .	56
2.10	Hot-hole and hot-electron trapping model. Ref: K.R. Hoffmann et al., IEEE Trans. Electron Dev., ED-32, March 1985, p.691 . . . . .	56
2.11	Double diffused drain structure. . . . .	58
2.12	Simulation of electric field profile in DDD structure. . . . .	58
2.13	$L_g$ 為閘極重疊長度 (Gate overlap length), 與先前的閘極長度 (Gate length) 不同。此外, 缺點是 $n^+$ 通道及 $n^-$ 汲極之間有高動能之電子 (hot electron)。 . . . . .	59
2.14	Ref: S. Ogura et al., IEEE Trans. Electron Dev., ED-27, 1980, p.1359 . . . . .	60
2.15	LDD 基本製程 . . . . .	62
2.16	上圖為傳統元件之熱載子效應, 下圖為 LDD 結構元件之熱載子效應。 . . . . .	63
2.17	三種可能的弱重疊原因, 依序為 Single drain、GGO 與 LDD。 . . . . .	63
2.18	傳統 $n^-$ 劑量約為 $1 \times 10^{13} \text{ cm}^{-2}$ 。參考來源: M. Kinugawa et al., 1985 Symp. VLSI Tech., Dig. of Tech Papers, p.116 . . . . .	64
2.19	Illustration of Buried LDD. . . . .	65
2.20	Illustration of Graded-buried LDD. . . . .	65
2.21	Illustration of Profiled LDD. . . . .	66
2.22	Illustration of Metal-coated LDD. . . . .	67
2.23	Illustration of Inverse-T Gate LDD. . . . .	68
2.24	Illustration of GOLD(Gate-Drain Overlapped LDD). . . . .	69
2.25	Illustration of IT-FOLD(Inverse T Gate Fully Overlapped LDD). Ref: D.S. Wen et al., Tech. Dig. IEDM, 1989, p.765 . . . . .	70
2.26	Illustration of TOPS (Total Overlap with Polysilicon Spacer) process. Ref: J.E. Moon et al., IEEE Electron Dev. Letts., EDL-11, 1990, p.221. . . . .	71
2.27	Illustration of the thermal oxide of TOPS process. . . . .	72
2.28	Illustration of the L-shaped spacer process. Ref: M. CHen et al., Tech. Dig. IEDM, 1990, p.829. . . . .	73
2.29	Illustration of the Self-Aligned IT-LDD process. Ref: J.R. Pfister et al., Tech. Dig. IEDM, 1989, p.769. . . . .	74
2.30	Illustration of the LATID (Large-Angle-Tilt Implanted Drain) process. Ref: T. Hori et al., Tech. Dig. IEDM, 1989, p.777. & T. Hori et al., IEEE Trans. Electron Dev., ED-39, 1992, p.2312. . . . .	75
2.31	Illustration of the No Spacer LATID process. Ref: T. Hori et al., Tech. Dig. IEDM, 1992, p.699. . . . .	76

2.32	Illustration of the LATID with GGO (graded-gate oxide) process. Ref: K. Kurinoto and S. Odanaka, Tech. Dig. IEDM, 1991, p.541. . . . .	77
2.33	Illustration of H-LDD (high-Dielectric Spacer LDD). Ref: T. Mizuno et al., Tech. Dig. IEDM, 1988, p.234. . . . .	78
2.34	Illustration of HS-GOLD (Halo-Source Gate-Overlapped Drain). Ref: T. Buti et al., Tech. Dig. IEDM, 1989, p.617. . . . .	79
2.35	Illustration of HEIP (Hot-Electron Induced Punchthrough). . . . .	80
2.36	Illustration of Disposable Oxide-Sidewall-Spacer Process. Ref: J.R. Pfiester et al., IEEE Electron Dev. Letts., EDL-9, 1988, p.189. . . . .	80
2.37	Illustration of Polysilicon Spacer Process. Ref: L.C. Parrillo et al., IEEE Trans. Electron Dev., ED-38, p.1991, p.39. . . . .	81
2.38	Illustration of TiN Spacer Process. Ref: J.R. Pfiester et al., Tech. Dig. IEDM, 1989, p.781. . . . .	82
3.1	Basic model for the thermal oxidation of silicon. . . . .	84
3.2	General relationship for the silicon oxidation and its two limiting forms. . . . .	87
3.3	Temperature dependence of linear and parabolic rate constants for wet and dry oxidations of silicon. . . . .	87
3.4	Native-oxide thickness versus exposure time of wafers to air (42% relative humidity) at room temperature. The inset illustrates the Cabrera-Mott model explaining the native-oxide growth. . . . .	88
3.5	Illustration of SiO <sub>2</sub> structure. (a) The basic structure of SiO <sub>2</sub> . (b) Three-dimensional representation of two neighboring SiO <sub>4</sub> cells, bridged by an oxygen atom. (c) Two-dimensional lattice representing vitreous SiO <sub>2</sub> . (d) The structure of thermally grown SiO <sub>2</sub> showing bridging and non-bridging oxygen atoms and dopant (i.e. network modifier) atoms. Ref: IEEE 1965. . . . .	90
3.6	Influence of POA on the electron trapping characteristics . . . . .	91
3.7	Influence of POA on the hole trapping characteristics. The effect of a brief O <sub>2</sub> anneal after POA is indicated by the arrow. . . . .	92
3.8	Illustration of possible hole trapping by breaking a defect with an oxygen vacancy. . . . .	92
3.9	Temperature dependence of the hole mobility in SiO <sub>2</sub> dielectric films. . . . .	93
3.10	Quasi-static CV curves of MOS-C structures prior to charge passage (Curve A = 0 nA, and after charge (Curve B - D). The creation of interface traps by current passage through the gate oxide degrades the CV curves. . . . .	94
3.11	Comparison of interface-state generation between injection with electrons only, holes only, and both of electrons and holes. . . . .	94

3.12	Schematic diagram of SiO <sub>2</sub> on Si, showing the direction of the strain gradient. Broken bonds will tend to propagate toward the Si-SiO <sub>2</sub> interface due to this gradient, resulting in interface-state generation. . . . .	95
3.13	(a) Increase of the interface-state density, $\Delta D_{it}$ , and (b) flat-band voltage shift $\Delta V_{FB}$ induced by irradiation of 10 <sup>6</sup> rad(Si) as a function of the insulator field $\epsilon_i$ applied during irradiation with the thickness $d$ and as a parameter. . . . .	95
3.14	Energy-band diagram for the phenomenon of direct tunneling through the gate oxide for thin oxides. Also shown are both unassisted tunneling and some possible interface-trap assisted leakage paths, with trap levels indicated by short, solid bars. From J.R. Brews, "The Submicron MOSFET," Chap. 3, in <i>High-Speed Semiconductor Devices</i> , Ed. Sze. p. 160. Copyright 1990. John Wiley & Sons. Reprinted with permission. . . . .	96
3.15	(a) Energy-band diagram for the phenomenon of Fowler-Nordheim tunneling in the MOSFET gate oxide. Also shown are some possible interface-trap assisted leakage paths, with trap levels indicated by short, solid bars. From J.R. Brews, "The Submicron MOSFET," Chap. 3, in <i>High-Speed Semiconductor Devices</i> , Ed. Sze, p. 153. Copyright 1990, John Wiley & Sons. Reprinted with permission. (b) Theoretical and experimental tunneling I-V curves of Al-gate $n$ -channel MOS structures under negative gate bias, illustrating the I-V characteristics of Fowler-Nordheim tunneling in 6 and 8.3 nm thick oxides and the calculated direct tunneling currents in 3.9 and 3.4 nm thick oxides. (© IEEE 1983). . . . .	97
3.16	Schematic band diagram of possible processes taking place during F-N injection where the applied insulator field $\epsilon_i$ is so high as $\approx 10$ MV/cm. In this figure, the gate-bias polarity is positive (substrate injection). . . . .	98
3.17	Shifts of different voltage parameters during F-N injection with a constant current density $J_G$ of 2 mA/cm <sup>2</sup> . . . . .	100
3.18	Hole-current density $J_p$ , measured at the substrate terminal of an n-MOSFET (shown by the inset), and gate electron-current density $J_G$ as a function of insulator field $\epsilon_i$ with $d$ as a parameter. The small circles labeled $\phi_B = 4.3$ eV represent a theoretical $J - \epsilon$ curve for valence-band electron tunneling (processes $d$ and $e$ in Fig.(3.16)). . . . .	101
3.19	Increase of the midgap interface-state density, $\Delta D_{itm}$ , as a function of the trapped-hole charge $Q_{ot+}$ under different F-N injection conditions for various SiO <sub>2</sub> films. . . . .	102

3.20	Gate current $I_G$ versus $V_G$ with $V_D$ as a parameter for a 0.8- $\mu\text{m}$ conventional n-MOSFET . . . . .	103
3.21	At very low $V_{GS}$ , $I_G$ changes sign, indicating that hot holes are emitted into the gate oxide. Their presence at low $V_{GS}$ is shown in this figure. . . . .	104
3.22	Substrate current $I_{\text{sub}}$ and gate current $I_G$ versus $V_G$ for a 0.8- $\mu\text{m}$ conventional n-MOSFET. The ratio of $I_{\text{sub}}$ to source $I_S (= I_D - I_{\text{sub}})$ , which is a monitor of the lateral electric field, is also shown together with $I_D$ . The small circles indicate current peaks. . . . .	105
3.23	Energy band diagram of a MOS device in the direction perpendicular to the surface. The barriers at the Si-SiO <sub>2</sub> interface are $\sim 3.1$ eV for electrons and $\sim 4.9$ eV for holes. . . . .	106
3.24	The energy band diagram at the drain end of a MOSFET for the condition when hot electron injection can occur. . . . .	107
3.25	(a) Cross section of MOS transistor operating in saturation. (b) The oxide and channel fields in the $y$ -direction of the channel when the MOSFET is in saturation (i.e., $V_{GS} < V_{DS}$ , here $V_{GS} = 6$ V and $V_{DS} = 8$ V). (c) Cross section of a MOS transistor operating in linear regime. (d) The oxide and channel fields in the $y$ -direction of the channel when the MOSFET is in the linear regime (i.e., $V_{GS} > V_{DS}$ , here $V_{GS} = 15$ V and $V_{DS} = 8$ V). (© IEEE 1991). . . . .	107
3.26	Gate current due to channel hot electrons versus gate voltage, with $V_{DS}$ as the parameter. (© IEEE 1981). . . . .	108
3.27	GIDL current $I_{\text{GIDL}}$ versus $V_{DG}$ curves measured before and after hot-carrier stress ( $V_{\text{Dstr}}/V_{\text{Gstr}} = 5.5$ V / 2 V) for a 0.5- $\mu\text{m}$ conventional n-FET with $d = 10$ nm. Theoretical I-V curves for not only Band-to-Band (B-B) tunneling but also Band-to-Defect (B-D) tunneling are exhibited. . . . .	116
3.28	$\text{Log}(t_{\text{BD}})$ versus $1/\epsilon_{\text{ox}}$ for different gate oxide thickness. $\text{Log}(t_{\text{BD}})$ follows a linear relationship with $1/\epsilon_{\text{ox}}$ , not $\epsilon_{\text{ox}}$ . Small-area oxide samples ( $80 \mu\text{m}^2$ were used such that intrinsic breakdown dominates and little statistical variation of $t_{\text{BD}}$ at any one applied electric field was observed.) . . . . .	120
3.29	Theoretical field acceleration factor $\beta$ versus insulator field $\epsilon_i$ , being compared with reported results. The inset shows that $\text{log}(t_{\text{BD}})$ follows a linear relation with $1/\epsilon_i$ , as predicted by the hole-induced breakdown model. . . . .	120
4.1	Schematic drawing of three processes through which photons interact with material: a) photoelectric effect; b) Compton scattering, and c) pair production. . . . .	126

4.2	Schematic drawing of three processes through which photons interact with material: a) photoelectric effect; b) Compton scattering, and c) pair production. . . . .	126
4.3	Minimum energies for creating electron-hole pairs and densities for GaAs, silicon, and silicon dioxide. . . . .	127
4.4	Relative dose enhancement at the silicon/gold interface. a) The relative dose in charge-particle equilibrium, b) the direction of the incident radiation going from the silicon to the gold, and (c) the direction of the incident radiation from the gold to the silicon. . . . .	128
4.5	Defect cascade created by a 50-keV silicon recoil atom. . . . .	129
4.6	Band diagram of an MOS device with a positive gate bias. Illustrated are the main processes for radiation-induced charge generation. . . . .	130
4.7	Typical C-V traces taken on an MOS capacitor preirradiation and 2.2 s after a 1 Mrad(Si) irradiation. Noted on the C-V traces are the points corresponding to flatband ( $C_{fb}$ ), midgap ( $C_{mg}$ ), and inversion ( $C_{inv}$ ) capacitance. . . . .	131
4.8	IV traces taken on an MOS transistor preirradiation and after irradiating to 500 krad(Si). Noted on the I-V traces are the points corresponding to threshold and midgap. . . . .	131
4.9	Typical electron paramagnetic resonance spectrum. . . . .	133
4.10	Charge yield for X-rays, protons, gamma rays, and alpha particles. . . . .	134
4.11	Temperature dependence of the flatband-voltage shift after a single radiation pulse. For this curve, the flatband-voltage shift is a measure of the number of holes in the oxide. . . . .	136
4.12	Electric field dependence of the flatband-voltage shift after a single radiation pulse. For this curve the flatband-voltage shift is a measure of the number of holes in the oxide. . . . .	136
4.13	Oxide thickness dependence of the flatband-voltage shift after a single radiation pulse. For this curve the flatband-voltage shift is a measure of the number of holes in the oxide. . . . .	137
4.14	Electric field dependence of $\Delta V_{ot}$ versus electric field. Shown is the measured data (solid circles) and the measured data adjusted for charge yield (open circles). . . . .	138
4.15	The change in $\Delta V_{ox}$ during anneal at room temperature for transistors irradiated at dose rates from $6 \times 10^9$ to 0.05 rad(Si)/s	139

# 1

## 穩定度概述

Ref:

- a. The International Technology Roadmap for Semiconductors: - Process Integration, Devices, and Structures.
- b. "Reliability for Logic and Memory Technology," IEDM short course, 1998.

### 1.1 製程整合挑戰 (Process Integration Challenges)

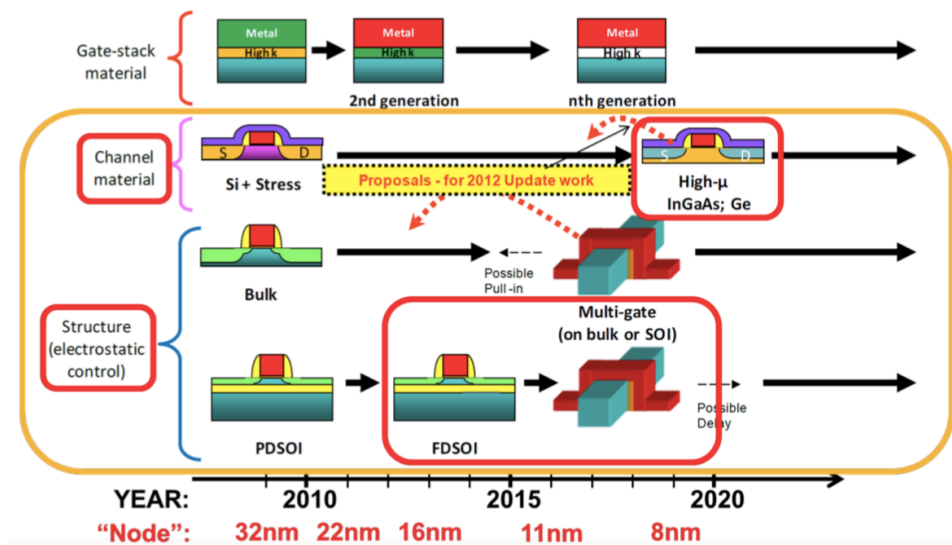


Figure 1.1: Schematic diagram of ITRS roadmap<sup>1</sup>.

<sup>1</sup>Ho, B. (2012). Evolutionary MOSFET structure and channel design for nanoscale CMOS technology (Doctoral dissertation, UC Berkeley).

解釋. PDSOI: 在水平方向上調整應力 (stress) 以增加電子速度。碰撞概念跟原子距離有關；如果增大應力，那麼就可以更改碰撞頻率。通常我們是藉由不同材料的晶格不匹配程度來控制應力，在水平方向上拉扯通道。此外，P channel 與 N channel 對應力有著不同的效應（這就是所謂的 know-how）。再來最右下角的圖，就是 FinFET，早期稱為 MG(Multi-gate)。SOI 是指 silicon on insulator，不過成本很高。空乏區通常不會接觸到底部，即便水平方向可能碰觸。但如果矽夠薄，那空乏區可能會碰到底部，導致整個元件全部被關閉、擋住所有載子，這有些特別的應用，所以有分為 Partially-depleted (PD) 與 Fully-depleted (FD) SOI。

1.  $GL_{pr}$ : printed Gate Length
2.  $GL_{ph}$ : physical Gate Length

解釋. 設計光罩時的 gate length 稱為  $GL_{pr}$ ，而實際上則是  $GL_{ph}$ 。一般來說，所謂的幾奈米製程只是一個較粗略的說法。

### §1.1.1 先進技術 MOSFET 之縮小化問題

※ 平面單體型 (planar bulk) CMOS 在縮小尺寸時，需要增大通道摻雜 (high channel doping)

- 接合面之間的 band-to-band tunneling 增大
- 閘極引發汲極漏電流 (gate-induced drain leakage、GIDL) 增大
- 摻雜濃度變化差異嚴重
- 短通道效應 (short-channel effect) 不易控制

解釋. 因為尺寸越小，汲極與源極的空乏區越來越近，汲極端的空乏區會比較大（因為偏壓較大），而如果空乏區太大，就會擊穿。為了避免擊穿，我們必須提升隧道中的摻雜濃度。但濃度一提升，就會產生 band-to-band tunneling，那麼 PN 接面的濃度太高，導致空乏區越窄，越容易產生傳導帶與價帶之間的 BTBT。當 drain 加正偏壓，就會產生「漏電流」，另外也會造成所謂的「GIDL」。

所謂的 GIDL，是指「閘極—絕緣層—汲極」所形成的等效 MOS。之所以會有這種等效 MOS，是因為汲極空乏區邊緣並不會與閘極側邊十分對齊，而會有重疊的區域，也就形成了——濃度很高的——等效 MOS。因為半導體濃度高，所以能帶彎曲劇烈，倘若這時閘極加負偏壓，使得通道處於關閉狀態或堆積狀態 (accumulation) 使得電子有機會從「絕緣體/半導體」介面中的價帶穿隧至半導體內側的傳導帶，產生電子電洞對 (e-h pair)，再



經由汲極相對源極的偏壓（或者是隧道中的電場）來加速電子與電洞，進而產生電流。這種電流就是所謂的閘極引發汲極漏電流 (Gate Induced Drain Leakage)。

此外，在小空間摻雜濃度時，不同元件的摻雜濃度可能有顯著差異，造成電晶體的閾值電壓 (threshold voltage) 有所變化。至於短通道效應則是未來會再深入細談。

※ 新型結構 MOSFET 之量產製造是可期待的。

- UTB-FD SOI (ultra-thin body fully depleted silicon on insulator)
- UTB-PD SOI (ultra-thin body partially depleted silicon on insulator)
- MG (multi-gate) MOSFET → Ex: FinFET
- 膜層厚度之控制為超薄元件之重要指標技術瓶頸

解釋. 將來元件做得越來越薄時，我們會使用絕緣層上矽電晶體 (SOI-MOS)。而絕緣層上矽分為完全空乏 (fully depleted)<sup>a</sup>與部分空乏 (partially depleted) 兩種，前者已沒有中性區以提供載子，後者則有，兩者特性有顯著不同，應用時機也不同。再來，現在已經很少用到 MG 這名詞來指稱 Multi-gate MOSFET，現在都用鰭式場效電晶體 (FinFET) 來形容 Multi-gate MOS。此外，針對 FinFET，當我們於閘極加偏壓時當然會在通道產生空乏區，這時也會有類似於 FDSOI 與 PDSOI 的應用。例如說，我們可以想像一種 Fully-depleted FinFET，一直保持通電狀態，需要關掉時再加閘極偏壓去除反轉層、關閉通道。反之，我們也可想像另一種 Partially-depleted FinFET，平常保持斷電狀態，需要時再加閘極偏壓開啟反轉層通道。兩者「力道」不同，看是「accumulation mode」還是「inversion mode」的應用，畢竟電晶體的本質就是「on」與「off」。

<sup>a</sup><https://www.youtube.com/watch?v=uvV7jcpQ7UY>

### §1.1.2 高介電常數閘極介電質 (high-k gate dielectric) 及金屬閘 (metal-gate electrode) 之合成問題

※ HKMG 需求明確，已進入量產

- 金屬閘之功函數 (work function) 需精準控制調整
- 提供適宜的通道位移率 (channel mobility)
- 減少 high-k 材料中之缺陷密度至可接受範圍
- 穩定度之有效提升

解釋. 最初絕緣層是使用二氧化矽，為了降低晶格不匹配造成的形變效應，通常採用聚晶矽（Polycrystalline silicon）作為閘極<sup>a</sup>，但後來為了增加絕緣層電容值，使得只需少少的偏壓就可感應出足夠厚的反轉層作為載子通道，以及避免 Poly-depletion effect<sup>b</sup>，我們採用高介電係數材料（high k means high dielectric constant）作為絕緣層，像是 Hafnium Oxide，這時閘極就必須改用其他導電性高的材料——金屬。由於閘極要控制反轉層厚度與偏壓的關係，所以基板是 N-type 還是 P-type，兩個閘極的金屬功函數又各自是多少，都會影響到——以 CMOS 為例——NMOS 與 PMOS 的閾值電壓匹配程度。此外，矽基板的電子遷移率會受到高介電常數材質之缺陷影響。除非我們反過來「利用」缺陷的存在，否則就得想辦法讓缺陷的影響越少越好。

<sup>a</sup><https://www.quora.com/What-is-the-difference-between-metal-gate-and-polysilicon-gate-technology>

<sup>b</sup><https://stevenchen886.blogspot.com/2017/05/hkmg-high-k-metal-gate.html?m=0>

### §1.1.3 材料、製程及結構之穩定度問題

※ 材料變化——高介電閘極介電質、金屬閘電極

※ 製程變化——

1. 升高 S/D (elevated S/D) cf: 選擇性磊晶 (selective epitaxy)
2. 先進退火及摻雜技術

※ 結構變化——UTB-FD SOI 與 MG。

→ 需要嚴格評估上述各種變化引起之穩定度問題。

解釋. 如果要調整金屬功函數，那該怎麼調？有個方法是說，如果想要有 A 材料功函數與 B 材料功函數之間的值，那或許將這兩材料交錯相疊？這可是個方法。再來，由於我們希望通道越薄越好，所以汲極與源極也不應該太深，但隨著元件越做越小，這時過淺的汲極與源極反而造成導電度不佳，於是有人想到或許可在汲極與源極之上做選擇性磊晶 (selective epitaxy) ——局部磊晶，將汲極與源極「抬升」起來。長完之後還要將原子活化，這時就需要加溫。

### §1.1.4 先進技術 DRAM 與 SRAM 之縮小化問題

解釋. 這兩者都是揮發性記憶體，關閉就沒有了，但是運算時之暫存所需。這裡就有提到嵌入式 DRAM。這裡的問題就在於該怎麼縮小？

※ DRAM 之縮小化問題

- 具小尺寸 (reduced feature size) 之適當儲存電容值 (storage capacitance)，包括高介電常數儲存介電質 (high-k storage dielectrics) 之引用。
- 存取元件 (access device) 之設計。
- 漏電流降低至可接受範圍。
- 位元 (bit) 及字元 (word) 線片電組之減少以保證速度夠快。
- 減少記憶胞面積因子 (cell area factor)
  - 📌 cf:  $\text{cell area factor} = a = \text{cell area} / F^2$  (normalized)
  - 📌  $F = \text{DRAM half pitch (feature size)}$

解釋. 縮小時的電容值不能太小，這牽涉到訊號強弱的取捨問題。高電容該怎麼做？當然是選高介電常數的絕緣體了，像是  $\text{Ta}_2\text{O}_5$ ，用來作為 1T1C 中的 C。但問題就在於不管是在上還是下做電容，其專利都被大廠保護住了，很難有所發揮。當元件縮小時，1T1C 之距離越近越好，這時電晶體 (1T) 與電容 (1C) 之連線電阻很難降低，例如說是否可以用磊晶來做以降低電阻。

如何告訴他人記憶體所佔用的「空間」為何？這個「空間」並非實際的空間，而是實際上的空間除以「特徵長度」(feature size;  $F$ ) 的平方。此特徵尺寸會隨著技術不同而不同。例如有兩工廠之特徵尺寸不同，這時比元件——相對於整體之——大小時，需要除以此特徵長度的平方來「正規化」，使得我們能在相同的特徵長度標準下，去比較某元件之 (相對) 大小關係。

※ SRAM 之縮小化問題

- 維持適當之雜訊邊限 (noise margin)
- 控制關鍵不穩定源 (key instabilities)
- 控制軟誤率 (soft error rate)
- 微影術及蝕刻術之配合

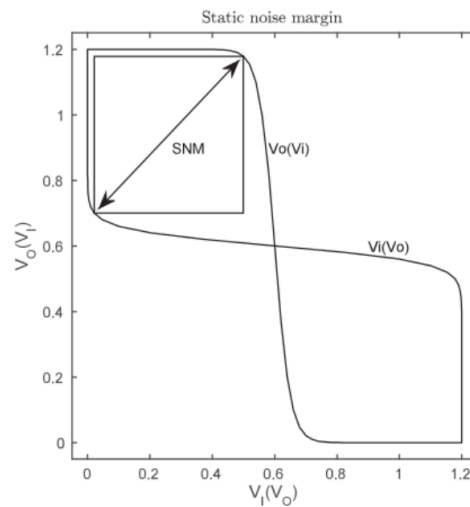


Figure 1.2: Static noise margin of SRAM.

解釋. (Static) noise margin 是用來判讀一個位元的鑑別度<sup>a</sup>，也就是說，SNM 可讓我們知道該 SRAM cell 對於一個位元 (bit) 可容許的最大誤差有多少。當元件越來越小，作為 0 或 1 的狀態還是要保留得好，這時雜訊邊界 (SNM) ——能鎖得住狀態 (0 或 1) 的雜訊邊界——就非常重要，難以保持。所謂的不穩定來源包括元件之間的不匹配，而這些不匹配伴隨的 SNM 又是多少？這就是一個研究題目。軟誤率代表一些資料的變動，包括電源變動、輻射入侵等。例如說，輻射一打，使得 1 變成了 0，請問最後會變得如何？這時防範方法就是要有東西去擋輻射，畢竟記憶體要回復到原本狀態就很重要 (資訊損失問題)。

<sup>a</sup><https://electronics.stackexchange.com/questions/343484/what-is-snmstatic-noise-margin-in-sram>

### §1.1.5 先進技術高密度非揮發性記憶體 (non-volatile memory) 之縮小化問題

#### \* Flash 之縮小化問題

- 穿隧介電層 (tunnel dielectric) 及複晶矽間介電層 (interpoly dielectric) 之不易縮小性 (non-scalability)
- 材料特性及空間尺寸控制為關鍵瓶頸

解釋. 最具代表性的 Flash 結構是 PolySi/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si，簡稱為 SONOS，其原理是利用電子或電洞由電晶體載子通道注入氮化矽層的電荷缺陷儲存中心，進而造成閾值電壓的偏移

( $\Delta V_T$ )，造成不同的導通電流，作為訊號 0 與 1 的判斷<sup>a</sup>。氫原子對這元件有顯著影響，導致其 CV 向左移且扭曲<sup>b</sup>。當穿隧介電層太薄，會導致載子太容易進出電荷儲存區（氮化矽），也就容易漏電，導致縮不下去了。再來是 hole trapping 會使得閾值電壓有所變化，所以最下方的氧化層必須穩定到沒有 hole trapping，也就要把氮化氧化層放進去，增加可靠度。

<sup>a</sup>[http://www.ndl.org.tw/docs/publication/P15\\_1.pdf](http://www.ndl.org.tw/docs/publication/P15_1.pdf)

<sup>b</sup>Yang, Y. L., Chang, C. H., Shih, Y. H., Hsieh, K. Y., & Hwu, J. G. (2007). Modeling and characterization of hydrogen-induced charge loss in nitride-trapping memory. *IEEE Transactions on Electron Devices*, 54(6), 1360-1365.

#### \* FeRAM 之縮小化問題

- 堆疊電容器 (stack capacitor) 之持續縮小甚為困難
- 1T1C 結構之進一步縮小化
- 對 IC 製程溫度及條件之靈敏度

解釋. 藉由鐵電效應 (ferroelectricity)<sup>a</sup>，材料因外界電場而極化，使得產生  $Q-E$  的磁滯現象以來儲存資料。一但元件縮得太小，產生極化現象所需的「原子擺設空間」就變得不足了，所以就難以藉由鐵電效應儲存資料了。溫度太高，晶格就會跑到另一個相，就具有不對稱性，難以控制。

<sup>a</sup><https://en.wikipedia.org/wiki/Ferroelectricity>

#### \* SONOS 之縮小化問題

- ONO 堆疊架構及材料特性
- $\text{Si}_3\text{N}_4$  層缺陷之空間分佈及能量分佈

解釋. PolySi/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si，簡稱為 SONOS，其重點與前述 Flash 內容相同。

#### \* MRAM 之縮小化問題

- 磁性材料特性及尺寸控制
- 對 IC 製程溫度及條件之靈敏度

解釋. 磁的極化現象具有翻轉效應，所以會有  $B-H$  的遲滯現象，這是 ferromagnetic effect。有電流時，溫度會上升，會影響記憶體效能。也因此記憶體並非在常溫下操作，做研究時如果能交待清楚溫度對記憶體效能的影響，那會是最好的。Magnetic Tunnel Junction：用磁來儲存資料，而藉由磁的極化現象來影響電的導

通能力，帶來不同的電阻效應以呈現 0 與 1 的記憶體狀態。

## 1.2 邏輯電路技術需求 (Logic Technology Requirements)

※  $L_g$  physical gate length for high performance logic(nm)

→ 閘電極經蝕刻後之實際長度

- $L_g \rightarrow 18 \text{ nm}$
- MPU physical gate length  $\rightarrow 18 \text{ nm}$  (MPU: micro-processor unit)
- DRAM 1/2 pitch  $\rightarrow 45 \text{ nm}$
- MPU/ASIC Metal  $1\frac{1}{2}$  pitch  $\rightarrow 45 \text{ nm}$  (ASIC: application specific IC)

cf:  $\frac{1}{2}$  pitch (or half pitch) =  $F$

Ex: memory cell area =  $4.6F^2$

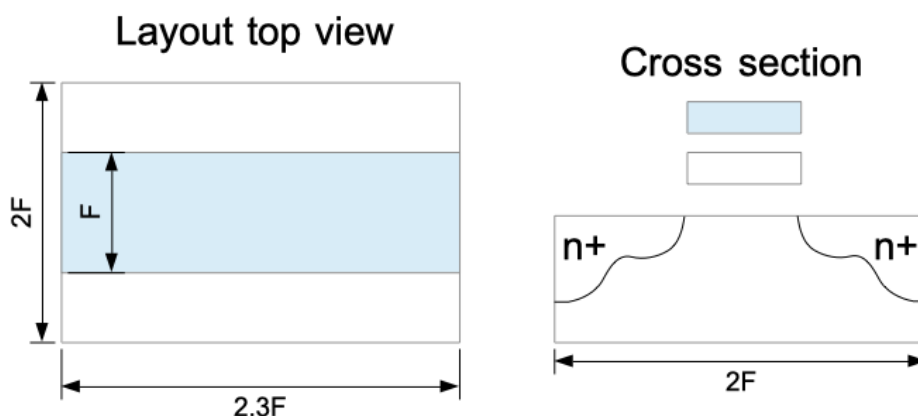


Figure 1.3: memory cell area.

解釋. 上圖中的  $F$  是該元件的最小特徵長度，換言之，已經不能再小了。因此，特徵長度 ( $F$ ) 是目前科技能夠穩定製作的尺寸。接著設想許多元間相鄰並排在一起，這時每隔多少長度週期 (pitch) 就會遇到下個元件呢？那顯然就是  $2F$  了。因此， $F$  就是半個週期長度—— $1/2$  pitch。也是可以將  $F$  視為能夠設計的最小尺寸——minimum feature size。

※ EOT: Equivalent Oxide Thickness ( $\text{\AA}$ )

- Extended planar bulk EOT  $\rightarrow 6.5 \text{ \AA}$  (for  $L_g = 18 \text{ nm}$ )

1.2. 邏輯電路技術需求 (LOGIC TECHNOLOGY REQUIREMENTS) 9

→  $EOT = T_d / (k/3.9)$

k: relative dielectric constant

$T_d$ : gate dielectric thickness

→ 在採用 high-k 之前的 EOT 變化不大，主要是靠 SiON (oxy-nitride) 作為閘極介電質 (gate dielectric)；在 high-k 引進後則取代了 SiON，EOT 因而可大幅縮小。

→ 量測 EOT 之技術變得複雜重要。由 MOS 電容 C-V 分析或經由光學分析技術將更顯重要。

→ UTB-FD SOI 元件之 EOT 縮小具有困難度。

→ DG(double gate) 之 EOT 不易預測。

解釋. EOT 即為等效氧化層厚度，也就是說，若我們要保有相同的電容值，那麼應該將此介電質換為多少厚度的氧化層？由於電容大致為：

$$C = \frac{\epsilon A}{d} = \frac{k\epsilon_0 A}{d}$$

因此，

$$\frac{k}{T_d} = \frac{3.9}{EOT} \rightarrow EOT = \frac{T_d}{k/3.9}$$

其中，3.9 為二氧化矽之介電常數。因此，介電常數  $k$  越大者，在固定 EOT 下，可以有較大的介電層厚度。此外，EOT 的量測技術非常重要，但很多論文並沒有說明清楚其量測方式。一般而言可以靠 TEM、CV 或其他光學方法量測。此外，若繼續縮小，那麼漏電流就越來越明顯，要嘛有更新的材料，要嘛就是停下來了，沒辦法有更多發展。或者是說，high-k 材料做得不夠均勻，也是還會有漏電流。

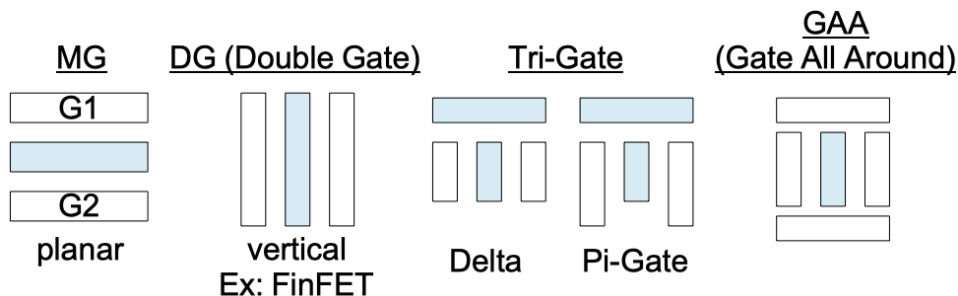


Figure 1.4: Various forms of gate.

※ Gate Poly Depletion and Inversion-Layer Thickness ( $\text{\AA}$ )

- Extended planar bulk  $\rightarrow 6.5 \text{ \AA}$
- $\rightarrow$  Gate electrode depletion 程度與聚晶矽之摻雜濃度有顯著關係。
- $\rightarrow$  引入金屬閘極將可使 gate depletion effect 降為零，所以在未來引入 high-k 及金屬閘極後，depletion effect 將可大幅下降。
- $\rightarrow$  對 CMOS 而言，NMOS 之金屬閘極功函數需調整至接近 Si 之  $E_c$ ，而 PMOS 則調整至接近 Si 之  $E_v$ ，才可使 MOSFET 之閾值電壓與採用聚晶矽閘極時相似（亦即 NMOS 採用  $n^+$ -poly gate；PMOS 採用  $p^+$ -poly gate）。
- $\rightarrow$  對 UTD-FB 及 DG MOSFET，其通道很薄且低摻雜，此時金屬閘極之功函數必須調整至接近 Si 之  $E_i$  (midgap) 接幾百 meV 範圍，才可以使 MOSFET 之閾值電壓控制得宜。
- $\rightarrow$  反轉層效應 (inversion-layer effect) 為量子效應，需引入當代物理之量子力學。

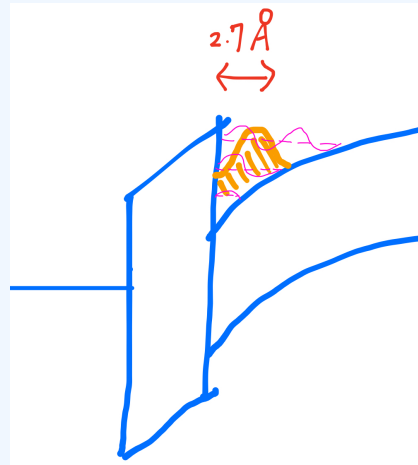


Figure 1.5: Inversion-layer thickness effect.

解釋. 影響電晶體充放電速度的是電晶體操作在反轉層出來時的 on 狀態。以往我們是用古典物理的角度來理解反轉層載子濃度，但其實在半導體與絕緣層介面之電子能階並不連續，所以只有具有著特定能量的載子波函數能存在於其中。因此，在考慮整體電子密度機率分佈時，電子密度機率最大之位置並不總是在介面上。

$$P = \left| \sum_i \psi_i \right|^2$$



反而會是在一個深度不為零的位置有著最大電子濃度，所以當我們利用電性量測 EOT 時，我們會得到比較厚的 EOT，這現象被稱為 Inversion-Layer thickness。一個參考值為  $2.7 \text{ \AA}$ ，而先前提到的真實的等效氧化層厚度 EOT 是  $6.5 \text{ \AA}$ ，所以這種 Inversion-Layer thickness 就不可忽略。而電晶體的效能是要在反轉層出現時的狀況下評估的，所以這時有個重要的概念：根據反轉模式時的量測電容所推估出來的絕緣層厚度 (inversion CET: inversion capacitance equivalent thickness)。inversion CET 與先前的 EOT 自然就有所不同了。前者至少包括了 inversion-layer thickness 效應。而除了 inversion-layer thickness 之外，其實還有可能包括別種因素貢獻的厚度。具體來說，因為早期的閘極並非金屬，所以倘若是聚晶矽，那麼 inversion CET 不只比一般的 EOT 高出了 inversion-layer thickness，還會多出來自聚晶矽端貢獻的厚度，這主要是因為其導電度並不如金屬。底下詳細說明之：以  $n^+$  Poly-Gate 為例，當該 MOS 進入反轉模式，必須要在閘極加上正偏壓，這時 Poly Gate 的能帶並不如金屬般地快速達到水平狀態，反而會有一段區域是能帶緩慢下彎的，這種下彎梯度顯然與此 Poli-Si gate 之摻雜濃度有顯著關係，如下圖所示。

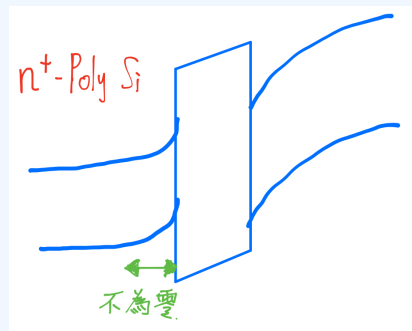


Figure 1.6:  $n^+$ -Poly Silicon Gate.

也就是說，若其摻雜濃度不夠高，那麼其實此閘極也就不過只是一般的矽半導體，能帶當然也會彎曲。而當我們用在反轉模式量測電容時，這段厚度不為零的區域就又会影響到從 CV 推算出來的等效厚度，所以整體來說，inversion CET 不只比 EOT 多出  $2.7 \text{ \AA}$ ，還會多出這一段 Gate-Poly depletion 厚度。簡言之，

$$\begin{aligned} \text{inversion CET} &= \text{EOT} + \text{inversion-layer thickness} \\ &\quad + \text{gate-depletion thickness} \end{aligned}$$

其中，gate-depletion thickness 與閘極聚晶矽之摻雜濃度以及閘極偏壓有顯著關係。因此，針對這種使用聚晶矽的早期製程，其

頻率響應得出的電容所對應的厚度就不只 EOT，還有後面的其他兩項。而在引入金屬閘極後，gate-depletion effect 就消失了，畢竟金屬本身不會有壓降，所以只需考慮 inversion-layer thickness。

除了上述議題外，將聚晶矽閘極換成金屬閘極時，為了維持盡可能相同的閾值電壓，我們需要挑選適當的功函數的金屬。

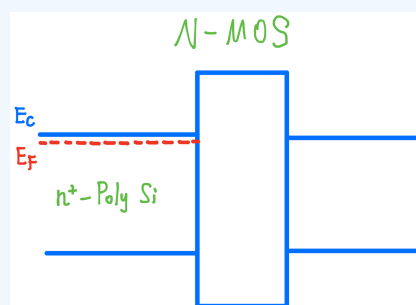


Figure 1.7: Fermi level of  $n^+$ -Poly Silicon Gate of NMOS.

以原先為  $n^+$ -聚晶矽閘極的情況為例，因為是高濃度摻雜，所以此聚晶矽的費米能階十分靠近其傳導帶能階，所以我們挑選的金屬閘極功函數必須相當於  $n^+$ -聚晶矽閘極之傳導帶能階：

$$W_{\text{metal}} \approx E_{c, (n^+)\text{Poly-Si}}$$

反之，若是 PMOS，那麼其等效金屬功函數則為：

$$W_{\text{metal}} \approx E_{v, (p^+)\text{Poly-Si}}$$

如此一來，改成金屬閘極後，閾值電壓就相去不遠。

再來，對於通道非常薄、低摻雜且有著非常薄的介電質的 CMOS，為了同時控制 NMOS 與 PMOS，我們希望在相同閘極偏壓下，NMOS 與 PMOS 都可以變得空乏 (depleted)，希望兩邊的效應能夠相同，亦即對稱，這樣的話金屬功函數就要剛好接近  $E_i$ ，所以這並不是為了維持與聚晶矽閘極相似的閾值電壓來設計金屬閘極功函數。

#### \* Electrical Equivalent Oxide Thickness ( $EOT_{\text{elec}}$ Å)

→  $EOT_{\text{elec}}$  為 EOT 加上 electrical thickness adjustment (inversion-layer effect)

• Extended planar bulk  $EOT_{\text{elec}} \rightarrow 9.2 \text{ \AA}$  (for  $L_g = 18 \text{ nm}$ )

→ MOSFET 於反轉模式時，單位面積閘極電容為  $\epsilon_{\text{ox}}/EOT_{\text{elec}}$

→ 在計算 CV/I intrinsic delay 時，

$$C_{g,ideal} = [\epsilon_{ox}/EOT_{elec}] \cdot L_g$$

解釋. 此為在「電性上」等效的氧化層厚度，在反轉模式時總厚度，亦即

$$EOT_{elec} = EOT + \text{inversion-layer thickness}$$

例如，剛才的 EOT 是 6.5 Å，且反轉層厚度為 2.7 Å，所以等效上，EOT<sub>elec</sub> 則為 9.2 Å。雖然現今論文很少用到這種代號，但要用時講清楚即可。將來在考慮其充放電效能時，就需要用這種 EOT<sub>elec</sub> 來算。例如說，在計算 MOSFET 於反轉模式下的單位面積閘極電容時，就需要用到這個值：

$$C_g = \frac{\epsilon_{ox}}{EOT_{elec}}$$

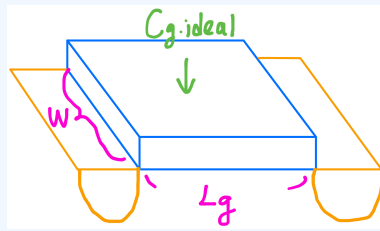


Figure 1.8: Illustration of gate width, length and ideal capacitance.

又例如，當我們計算其反應速度時，像是充電所需時間，就是

$$\Delta t \approx \frac{\Delta Q}{I} \approx \frac{C_{ideal, per width} \Delta V}{I_{per width}}$$

其中，

$$C_{ideal, per width} \approx \frac{\epsilon_{ox}}{EOT_{elec}} \cdot L_g$$

所謂的“ideal”是指不考慮其他的副作用（待會會提），並且這裡的  $I_{per width}$  並非電晶體的  $I_d$ ，而是閘極充放電時流經閘極的電流，如圖 (1.8)。一般來說， $L_g$  已埋在製程之中，通常就是越小越好，而  $W$  則是看我們需要，可以做寬做窄。而這寬度不是越小越好，因為這會使得電流變小，而要多

寬則取決於個人需求。因此，因為大家都在追求盡可能小的  $L_g$ ，而每人所需寬度  $W$  都不同，所以在比較開關所需時間時，我們通常會將寬度正規化，所以才會考慮每單位寬度之電容與電流，所以我們才會在  $\epsilon_{\text{ox}}/\text{EOT}_{\text{elec}}$  後方乘上  $L_g$ 。

1.2. 邏輯電路技術需求 (LOGIC TECHNOLOGY REQUIREMENTS) 15

\*  $I_{sd,leak}$ : Source/Drain subthreshold off-state leakage current ( $\mu A/\mu m$ )

→ 將 N-MOSFET 之汲極偏壓至  $V_{dd}$ ，將閘極、源極及基板接地，於  $25^{\circ}C$  下之源電流 (source current)。

- Extended planar bulk  $I_{sd,leak} \rightarrow 0.28 \mu A/\mu m$

cf: 此時之汲極電流為  $I_{off}$  (total NMOS off-state leakage current)，與  $I_{sd,leak}$  不同。

$$I_D = I_{off} = I_{sd, leak} + \underbrace{I_{gate\ leakage\ current}}_{include\ GIDL} + \underbrace{I_{BTB\ tunneling\ current/GIDL}}_{濃度太高時會有\ BTB\ tunneling}$$

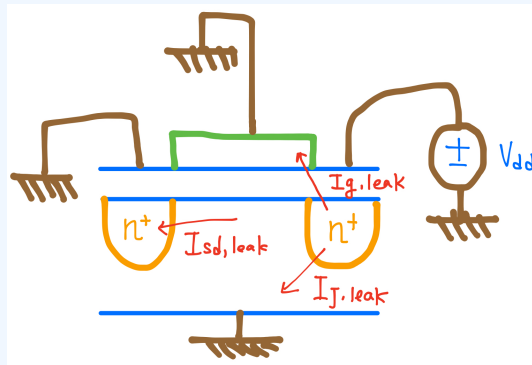


Figure 1.9: Illustration of leakage current of N-MOSFET.

解釋. 元件做完後，我們也需要告訴他人我們的漏流是多少，而我們該如何定義「漏電流」呢？主要為圖 (1.9) 與下式：

$$I_D = I_{off} = I_{sd, leak} + \underbrace{I_{gate\ leakage\ current}}_{include\ GIDL} + \underbrace{I_{BTB\ tunneling\ current/GIDL}}_{濃度太高時會有\ BTB\ tunneling}$$

此外，因為每個元件之寬度不同，所以我們能夠用以互相比較的「漏電流」必須是每單位閘極寬度之漏電流。

\*  $J_{g,limit}$ : Maximum Gate Leakage Current Density ( $A/cm^2$ )

→ 閘極偏壓至  $V_{dd}$ ，將源極、汲極及基板接地，於  $25^\circ C$  下之最大可容許閘極電流密度。

• Extended planar bulk  $J_{g,limit} \rightarrow 1.56 \times 10^3 A/cm^2$

cf:  $J_{g,limit} = [Initial\ Factor] \times [I_{sd, leak} / L_g] \times [Hi\ T\ Factor] / [Circuit\ Factor]$

Ex: High-Temp. Factor = 10，於高溫 ( $100^\circ C$ ) 工作時之  $I_{sd, leak}$  及 gate leakage current 溫度效應修正項。

Ex: Circuit Factor = 1，與  $I_{sd, leak}$  及  $J_{g,limit}$  之偏壓條件相關。

Ex: Initial Factor = 0.1，與電晶體選用 low threshold voltage / high subthreshold leakage 相關 (cf: 一般電路之電晶體具較小的 subthreshold leakage)。

解釋. 閘極容許之最大漏電流。在 IC 廠經常會聽到「這個不行不行，這漏電流『太大』，所以這個製程不行」，那麼此處所指的「漏電流太大」就是  $J_{g, limit}$ 。先前提的  $I_{sd, leak}$  是指電晶體關掉時的漏電流，是一定會有的。而如果閘極沒做好， $I_{sd, leak}$  足夠小但閘極漏電流太大，那麼也是沒有用的。如下圖：

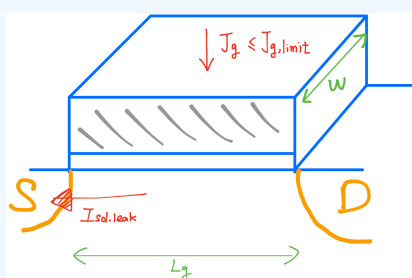


Figure 1.10: Illustration of maximum of gate leak current.

先前提到的  $I_{off}$  是必然存在的，而我們同時也不希望閘極漏電流太大，所以通常我們至少會要求閘極電流  $I_{g, leak}$  不比  $I_{sd, leak}$  還要大：

$$\underbrace{J_g \times L_g}_{I_{g, leak}} \times W \leq I_{sd, leak} \times W \equiv J_{g, limit} \times L_g \times W$$

因此，容許之最大閘極漏電流為：

$$J_{g, limit} = \frac{I_{sd, leak}}{L_g}$$

1.2. 邏輯電路技術需求 (LOGIC TECHNOLOGY REQUIREMENTS) 17

\*  $V_{dd}$ : Power Supply Voltage (V)

- $V_{dd} \rightarrow 1\text{ V}$

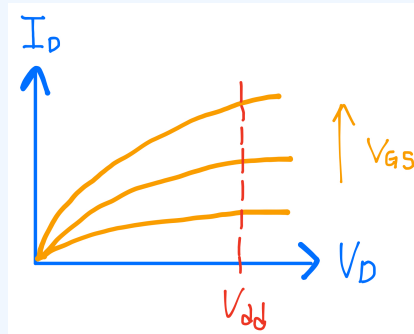


Figure 1.11:  $I_D$  vs.  $V_D$ .

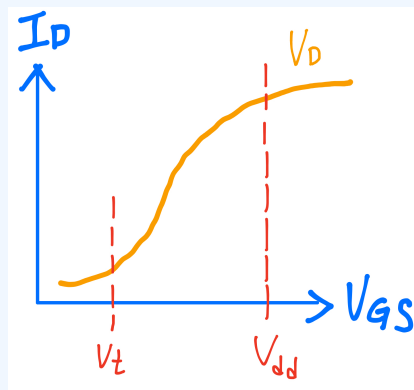


Figure 1.12:  $I_D$  vs.  $V_{gs}$ .

解釋. 能夠提供的最大電壓。現在業界大多是  $V_{dd} \approx 0.6\text{ (V)}$ ，非常小，我們能夠變動的  $V_d$  範圍就非常小。因此，以圖 (1.12) 為例，因為我們能提供的電壓有其最大值，也就是  $V_{dd}$ ，而如果這個值太小，例如說非常接近圖 (1.12) 中的  $V_t$ ，那表示這電晶體能運轉的電流實在是太小了，根本打不開，電晶體將永遠都是「關閉」的狀態。因此，必須要在一個恰當的範圍，這就牽涉到此電晶體的 subthreshold slope (s.s.)。理想上， $V_{dd}$  應該落於圖 (1.12) 中的值。

※  $V_{t, \text{sat}}$ : Saturation Threshold Voltage (mV)

→ 當汲極偏壓至  $V_{dd}$  時，使電晶體進入飽和所需之臨限電壓。

解釋. 閾值電壓 ( $V_t$ ) 一般來說是看源極是否有反轉得十分顯著，然後在  $Q_{inv}$  很大的地方取斜率外差得出  $Q_{inv} = 0$  時之電壓，這電壓就被定義為閾值電壓。然而，電晶體在操作時，可以有不同的汲極電壓 ( $V_D$ )，因此很難定義究竟何時才導通。因此，我們就在汲極偏壓至最大  $V_d = V_{dd}$ ，讓汲極 pinch off，再去找到相對應的  $V_{GS} = V_{t, \text{sat}}$ 。

• Extended planar bulk  $V_{t, \text{sat}} \rightarrow 151 \text{ mV}$

→ 需設計使  $V_{dd} - V_{t, \text{sat}}$  (voltage over-drive) 足夠大，才能使電晶體具有足夠大之飽和電流。

解釋.  $V_{t, \text{sat}}$  也不能太大。如果太大，會使導通前後電流差異太小，所以其實  $V_{t, \text{sat}}$  越小越好，但也不能太小，這樣會導致「關不起來」。總之，學界與業界對  $V_{t, \text{sat}}$  並沒有一致定義。

→ 對於 planar bulk，因為基板摻雜濃度  $> 5 \times 10^8 \text{ cm}^{-3}$ ，才能有效控制短通道效應， $V_{t, \text{sat}}$  與之相關。

→ 對 UTB-FD 元件，需要考慮 silicon body thickness ( $T_{Si}$ ) 來控制短通道效應， $V_{t, \text{sat}}$  與之相關。

→ 對 Double-Gate 元件，如何控制鰭寬度 ( $0.6L_g$ ) 將甚為重要。

解釋. 這個寬度會影響到要多少的電壓才能把整個通道變成空乏區，或是影響要讓電晶體打開的所需電壓。

※  $I_{d, \text{sat}}$ : Saturation NMOS Drive Current ( $\mu\text{A}/\mu\text{m}$ )

→ 將 N-MOSFET 之汲極與閘極都偏壓至  $V_{dd}$ ，將源極及基板接地，所呈現之汲極電流 (per micron device width)。

• Extended planar bulk  $I_{d, \text{sat}} \rightarrow 2.05 \times 10^3 \mu\text{A}/\mu\text{m}$

→ 需選擇  $I_{d, \text{sat}}$  使得 high-performance logic 得以保存每年約達 17% 之 device performance scaling 成長。

→ PMOS 之  $I_{d, \text{sat}}$  值約為 NMOS 之 40 ~ 50%。

解釋. 電晶體能夠得到多少最大電流？也就是說，當  $V_{GS} = V_{dd}$  且  $V_{DS} = V_{dd}$  最大值，這時能夠得到的最大  $I_D$ 。這是元件每單位寬度的電流，這電流大概就是所謂的「on current」。一般來說，通常要到  $1000 \mu\text{A}/\mu\text{m}$  以上才有用。因此現在有個挑戰：該如何在有限的 IC 空間，使得電流能夠越大越好？其解法就是做出一個橫向結構，例如 GAA，讓元件都疊在一起，使得一導通



## 1.2. 邏輯電路技術需求 (LOGIC TECHNOLOGY REQUIREMENTS) 19

時，電流就非常小，畢竟單一元件電流很多時候並不夠力，所以元件就慢慢脫離傳統的電晶體物理。而 IEEE 標準大概就是  $2.05 \times 10^3 \mu\text{A}/\mu\text{m}$ 。而 PMOS 與 NMOS 的效率比較不同。

※  $I_{d,\text{ratio}}$ : Mobility Enhancement Factor for  $I_{d,\text{sat}}$

$$\rightarrow I_{d,\text{ratio}} \equiv [\text{enhanced } I_{d,\text{sat}}] / I_{d,\text{ref}}$$

- Extended planar bulk  $I_{d,\text{ratio}} \rightarrow 1.1$

解釋. 如果遷移率提升，電流也會有所提升，但這兩者的提升幅度不盡相同，因為有其他副作用影響，通常  $I_{d,\text{ratio}} < \mu_{\text{ratio}}$ 。因此特別定義所謂的  $I_{d,\text{ratio}}$  以描述遷移率上升所伴隨增加的汲極電流。

※  $\mu_{\text{ratio}}$ : Mobility Enhancement Factor

$$\rightarrow \mu_{\text{ratio}} \equiv [\text{enhanced mobility}] / [\text{reference mobility}]$$

→ 一般來說， $I_{d,\text{ratio}}$  與  $\mu_{\text{ratio}}$  相關且  $I_{d,\text{ratio}} < \mu_{\text{ratio}}$ ，主要是因為仍存在著短通道效應及速度飽和效應 (velocity saturation effect)。

cf:  $\mu_{\text{ratio}} \lesssim 1.8$ (最大值)

→ mobility enhancement 方法：

1. thin Si epi-layers on SiGe epi-layers
2. strained thin SiN overlayers
3. selective epi-SiGe in the S/D
4. hybrid orientation

→ 於  $L_g = 20 \text{ nm}$ ，摻雜濃度已達  $5 \times 10^8 \text{ cm}^{-3}$ ，欲再強化遷移率則相當困難。

解釋. 電晶體的電流大致與遷移率 (mobility) 正相關。因此，若遷移率提升，那當然是好事！因此，提升前後之比值就是所謂的  $I_{d,\text{ratio}}$ 。但是電流沒辦法一直增大，像是說電場很大時，速度會飽和，所以即便遷移率有提升，但是速度已經上不去了。因此，材料好但是元件不一定好。通常還是用晶格不匹配與材料密度差異來增加應力、形變，增加遷移率。此外，有時源極/汲極有時需要長高一點 (這樣才能增加導電度)，這時也會造成額外的應力、形變。

※  $R_{sd}$ : Effective Parasitic Series Source / Drain Resistance  $\Omega - \mu m$

→ 最大可容許之雜散電阻加上汲極電阻 (per micron device width)

- Extended planar bulk  $R_{sd} \rightarrow 105 \Omega \cdot \mu m$

解釋.  $R_{sd}$  是源極到汲極之間的寄生串聯電阻。值得注意的是它的單位： $\Omega - \mu m$ ——這不是電阻率。雖然電阻率的單位就是  $\Omega - cm$ ，而電阻的單位是  $R = \rho L/A$ 。然而，電晶體的  $A$  是指：

$$A = W \cdot r$$

其中， $r$  是指通道的深度，而  $W$  是電晶體的寬度。因此，

$$R \cdot (1 \mu m) = \rho \cdot \frac{L}{r} \cdot \left( \frac{1 \mu m}{W} \right)$$

因此，所謂的  $R_{sd}$  其實是單位寬度 ( $1 \mu m$ ) 的電阻。

※  $C_{g,ideal}$ : Ideal NMOS Device Gate Capacitance ( $F/\mu m$ )

→ 在反轉模式時之理想閘極電容 (per micron device width)

$$C_{g,ideal} = (\epsilon_{ox}/EOT_{elec}) \times L_g$$

- Extended planar bulk  $C_{g,ideal} \rightarrow 6.78 \times 10^{-16} F/\mu m$

解釋. 電晶體到底能操作到多少頻率？太高頻率，電晶體可能動不了。因此我們用從閘極看進來的電容來判斷，將來充放電時之時間常數就是與  $RC$  有關之常數。好的電容器是不漏電的。電容分為理想跟總電容（下一個）。電晶體是在 on 的時候才會吃電，所以必須考慮  $EOT_{elec}$ 。

※  $C_{g,total}$ : Total Gate Capacitance for Calculation of CV/I ( $F/\mu m$ )

→ 在反轉模式時之總閘極電容 (per micron device width)

→ 包括  $C_{g,ideal}$ 、閘極寄生重疊電容 (parasitic gate overlap/fringing capacitance per micron device width) —— 閘極與源極之寄生重疊電容、閘極與汲極之寄生重疊電容、邊際電場造成之電容效應。此外還有電子學中的米勒效應 (Miller effect) 亦包含在內<sup>2</sup>。

- Extended planar bulk  $C_{g,ideal} \rightarrow 8.82 \times 10^{-16} F/\mu m$

<sup>2</sup> 密勒效應 (Miller effect) 是在電子學中，反相放大電路中，輸入與輸出之間的分佈電容或寄生電容由於放大器的放大作用，其等效到輸入端的電容值會擴大  $1+K$  倍，其中  $K$  是該級放大電路電壓放大倍數。參見維基百科——<https://zh.wikipedia.org/wiki/>

解釋. 充電所需時間就是

$$\Delta t \approx \frac{\Delta Q}{I} \approx \frac{CV}{I}$$

而其倒數就跟頻率有關。另外，電晶體的源極與汲極會跟閘極產生鉛直方向上的等效 MOS，也就有一個鉛直電容，因此這個總電容包括了理想電容以及寄生閘極重疊電容，而且總電容也會因米勒效應而被放大。因為跟製程高度相關，所以就沒有一定的標準，但簡單來說就是越小越好。

※  $\tau$ : N-MOSFET **Intrinsic** Delay ( $ps$ )

→ 於  $25^\circ C$  下，定義  $\tau \equiv (C_{g,total} \times V_{dd}) / I_{d,sat}$

- $\tau = CV/I \rightarrow 0.4 ps$

解釋. **跟外接線路沒有關係**的電晶體本身延遲時間。而這是實際上的時間，我們是用最大的電流 ( $I_{d,sat}$ ) 來評估時間。大致來說，就是  $\tau$  越小越好。然而，即便  $\tau$  很小，外部電路可能也配合不起來，所以這很難說。但因為密度很高，所以也是越小越好。

※  $1/\tau$ : N-MOSFET Intrinsic Switching Speed (GHz)

- $1/\tau \rightarrow 2500 GHz$

解釋. 因此，如果要提高電晶體本身的速度，那麼關鍵在於提高 on current ( $I_{d,sat}$ ) 以及閘極總電容 ( $C_{g,total}$ ) 要越小越好：

$$\frac{1}{\tau} \approx \frac{I_{d,sat}}{C_{g,total} \times V_{dd}}$$

一個可能的速度是 2500 GHz，但實際上總是沒這麼快，顯然其瓶頸在於外部電路的反應速度。衝很快

※ Effective Ballistic Enhancement Factor (a multiplying factor for  $I_{d,sat}$ )

- 在高度縮小化之超薄本體 MOSFET 元件 (包括 UTB-FD SOI 及 DG MOSFET) 適用，使得  $I_{d,sat}$  值能夠再增強。
- 對於 Extended planar bulk CMOS 而言，由於元件中之摻雜濃度太高，因此並無 effective ballistic enhancement 現象。
- Extended planar bulk 之 effective ballistic enhancement factor  $\rightarrow 1$   
cf: 經由 NASTAR modeling package 模擬，為了使元件特性能滿足 performance requirements，必須使  $I_{d,sat}$  值夠大才行。

- 對於 undoped、very scaled UTB-FD SOI 及 DG MOSFET 元件進行評估，可知未來需要本項 factor  $> 1$  之考慮。
- DG 之 effective ballistic enhancement factor  $\rightarrow 1.17$

解釋. Ballistic enhancement：彈道加速，也就是說，如果元件非常小，小到一個程度，電子從源極到汲極時可能完全沒有碰撞，因為兩者距離可能小於載子的平均自由徑：

$$L_g < \lambda$$

因此，這時的「特徵」就不再是原來塊材 (bulk) 的特徵，而是彈道式的特徵 (ballistic)。這時如果要再加強  $I_{d,sat}$ ，就很有難度。但是又因為元件持續縮小，所以摻雜濃度又必須要提高，使得載子碰到的機會又變高，所以平均自由徑又減少，可能又會小於  $L_g$ ，因此其效應難以控制，這跟濃度有相當關係。總之，要用彈道效應來提高電流，因為有很多效應，所以難以控制。

### 1.3 材料退化及穩定度模型

※ 所有材料都會隨時間而衰變退化

- 金屬會被腐蝕 (corrode)、裂開 (crack)、斷裂 (fracture) 與分離 (separate) 等。
- 油漆會剝落。
- 牙齒會被侵蝕並斷裂。
- 絕緣層會喪失絕緣特性。
- ULSI 元件會隨時間而衰退失誤 (wear out)。
  - 與電性、熱、機械與化學等環境條件有關

#### §1.3.1 材料衰變通性



Figure 1.13: Conservation of matter: continuity equation.

※ Fick's Second Law in differential form:

$$\nabla \cdot J(x, t) = -\frac{\partial \rho(x, t)}{\partial t} \quad (1)$$

※ Fick's Second Law in integral form:

$$\int \vec{J} \cdot d\vec{A} = -\frac{dN(t)}{dt} \quad (2)$$

※ 描述該區總原子數之減少（或增加）速率公式：

$$\frac{dN(t)}{dt} = -k(t) \cdot N(t) \quad (3)$$

解釋. 如圖 (13),  $J$ : atomic flux ( $1/\text{sec} \cdot \text{cm}^2$ )、 $\rho$ : density ( $1/\text{cm}^3$ )。有塊材料，裡面的載子或原子數目  $N(t)$  有所增減，我們討論的東西數量隨時間改變。其中第一個方程式就是 Fick's second law——連續方程式。通常是寫為微分形式 (1)，但也可以改寫為積分形式 (2)，兩者完全相同。而第三式很重要，用來描述某物理量隨時間越來越少，那麼其廣義方程式為何？也就是 (3)。因為目前的變化量當然跟「目前的量」有關係，所以就有 (3) 的形式。這裡的  $k(t)$  則相當於一種 reaction 或 degradation constant，可正也可負，取決於我們描述的現象。

根據前述公式可得：

$$k(t) = \frac{-dN/dt}{N(t)} = \frac{\int \vec{J}(x, t) \cdot d\vec{A}}{N(t)} \Rightarrow \text{flux divergence}$$

※ 當  $N(t)$  減少到某一程度時，可以定義出故障時間 (time-to-failure; TF)。此時之原子數量  $N(\text{TF})$  相對初始之原子數量  $N(0)$  比例為  $f_{\text{crit}}$ ：

$$f_{\text{crit}} \equiv \frac{N(\text{TF})}{N(0)} = \exp \left[ -\frac{\int_0^{\text{TF}} k(t') dt'}{\int_0^{\text{TF}} dt'} \cdot \text{TF} \right]$$

解釋. 我們真正關心的事情是：這些元件大致來說可以撐多久？多久之後就很可能故障？為了描述這種現象，我們定義出所謂的故障時間——time-to-failure; TF。故障時間 TF 是一種統計出來的數量，例如說，我們對一氧化層加上電流，過一段時間後，全部元件都會故障嗎？不會，總是有些還留著，例如說還有 50% 元件沒有故障。為了描述這個時間，我們需要先定義出某個統計上的「故障」比例。例如，

當這一堆元件有超過 80% 都故障時所經歷的時間，就被我們定義為故障時間，而這比例就是  $f_{\text{crit}} = 0.8$ 。

*Proof.*

$$\begin{aligned} \therefore \frac{dN(t)}{dt} &= -k(t)N(t) \\ \therefore \frac{dN(t)}{N(t)} &= -k(t)dt \\ \therefore \ln N(t) \Big|_{N(0)}^{N(\text{TF})} &= - \int_0^{\text{TF}} k(t')dt' \\ \therefore \ln \left[ \frac{N(\text{TF})}{N(0)} \right] &= - \int_0^{\text{TF}} k(t')dt' \Rightarrow \ln f_{\text{crit}} \end{aligned}$$

因此，

$$\begin{aligned} f_{\text{crit}} &= \exp \left[ - \int_0^{\text{TF}} k(t')dt' \right] \\ &= \exp \left[ - \frac{\int_0^{\text{TF}} k(t')dt'}{\text{TF}} \cdot \text{TF} \right] \quad (\text{提出 TF}) \\ &= \exp \left[ - \frac{\int_0^{\text{TF}} k(t')dt'}{\int_0^{\text{TF}} dt'} \cdot \text{TF} \right] \end{aligned}$$

□

接著，定義 time-average  $k(t)$ ：

$$\langle k(t) \rangle \equiv \frac{\int_0^{\text{TF}} k(t')dt'}{\int_0^{\text{TF}} dt'}$$

可以得到

$$f_{\text{crit}} = \exp[-\langle k(t) \rangle \cdot \text{TF}] \quad \leftrightarrow \quad \text{TF} = \frac{\ln(1/f_{\text{crit}})}{\langle k(t) \rangle}$$

解釋. 顯然  $k(t)$  在  $f_{\text{crit}}$  之中扮演著重要的角色。倘若  $\langle k(t) \rangle$  的作用量—— $k(t)$  的時間平均值——很小，那麼在相同故障比例下，故障時間就會更長。

而  $\langle k(t) \rangle$  也與  $\vec{J}(x, t)$  通量 (flux) 有關：

$$J(x, t) = \mu\rho(x, t)F - D \frac{\partial \rho(x, t)}{\partial x}$$

其中， $F$  是驅動力 (driving force)、 $\mu$  是遷移率 (mobility)、 $D$  是擴散常數 (diffusion constant)。cf: 電洞流密度為

$$j_p = pq\mu_p\varepsilon - qD_p\frac{dp}{dx}$$

此外，我們也用阿瑞尼士方程式 (Arrhenius equation) 來描述遷移率：

$$\mu = \frac{D}{k_B T} = \frac{D_0}{k_B T} \exp\left(-\frac{E_a}{k_B T}\right), \quad E_a(\text{eV}) : \text{activation energy}$$

cf:

- Einstein relation

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = \frac{k_B T}{q}$$

- Boltzmann's constant

$$k = 1.38 \times 10^{-23} \text{ J/K}$$

$$= 8.62 \times 10^{-5} \text{ eV/K};$$

$$k_B = 8.62 \times 10^{-5} \text{ V/K}$$

### §1.3.2 穩定度模型

\* 根據公式：

$$\text{TF} = \frac{\ln(1/f_{\text{crit}})}{\left\langle \frac{\int \vec{J}(x, t) \cdot d\vec{A}}{N(t)} \right\rangle}$$

$$J(x, t) = \mu\rho(x, t)F - D\frac{\partial\rho(x, t)}{\partial x}$$

$$\mu = \frac{D}{k_B T} \quad ; \quad D = D_0 \exp\left(-\frac{E_a}{k_B T}\right)$$

- 常見的故障時間 TF (time-to-failure) 表達式：

1.  $A_0 \cdot \xi^{-n} \cdot \exp\left(\frac{E_a}{kT}\right)$

2.  $A_0 \cdot \exp(-\gamma \cdot \varepsilon) \cdot \exp\left(\frac{E_a}{kT}\right)$

其中  $\xi$  表示使元件故障 (failure) 之因素，比如電場 ( $\varepsilon$ )、電流密度 ( $\vec{J}$ )、機械應力 ( $\sigma$ ) 與濕度等。

- 當  $n > 4$  時，較常使用第 (2) 式
- $A_0$  為與材料或製程相關之係數。

解釋. 要由 p.13-14 來理解  $\xi$ 。當  $n > 4$  時，比較經常用 (2)，這是經驗談，但基本上都只有用在氧化層的崩潰電場上。

※ TF 穩定度常見模型：

- Gate Oxide
  - 小電場之  $\varepsilon$ -model:  $TF = A \cdot e^{-\gamma\varepsilon} \cdot \exp\left(\frac{E_a}{k_B T}\right)$
  - 大電場之  $1/\varepsilon$ -model:  $TF = t_0(T) \exp\left[\frac{G(T)}{\varepsilon_{ox}}\right]$
- Metallization
  - Electromigration  $TF = A \cdot J^{-n} \cdot \exp\left(\frac{E_a}{k_B T}\right)$
  - Mechanical Stress  $TF = A \cdot \sigma^{-n} \cdot \exp\left(\frac{E_a}{k_B T}\right)$
- Channel Hot Carriers  $TF = A \cdot J_{sub}^{-n} \cdot \exp\left(\frac{E_a}{k_B T}\right)$
- Mobile Ions  $TF = A \cdot J_{ion}^{-1} \cdot \exp\left(\frac{E_a}{k_B T}\right)$

解釋.

- Gate Oxide:
  - 難以解釋小電場模型之來源。至於大電場之  $1/\varepsilon$ -model，請參考 SiO<sub>2</sub>-44 以及第 3.4.2.1 節。
- Metallization:
  - Electromigration:
    - 金屬鋁通電後，隔一段時間，鋁線就會斷掉。當電流密度大到一定程度，因為電荷在撞擊原子，所以原子居然有位移，就斷了。因此，鋁線若作厚一點或寬一點，就可以比較穩定。而鋁線之故障時間就可用上式來描述。
  - Mechanical Stress:
- Channel Hot Carriers:
  - 我們也可用電晶體的  $J_{sub}$  來檢驗材料的可靠度。靠近汲極時，電場  $E_y$  非常大，電子加速進撞出許多電子電洞對



(avalanche generation)，接著電洞會往基板跑，電子往汲極跑，造成  $I_{\text{sub}}$  增加，也就變成一個判斷電晶體多久會故障的重要指標。此外， $I_{\text{sub}}$  會隨時間改變。....，也就是說，用固定的  $J_{\text{sub}}$  來處理，並且  $J_{\text{sub}}$  是  $V_d$  與  $V_s$  的函數。

- Mobile Ions:

※ Acceleration Factor (AF)

定義：

$$\text{AF} \equiv \frac{(\text{TF})_{\text{use}}}{(\text{TF})_{\text{stress}}}$$

- 對於 (1)：故障時間  $\text{TF} = A_0 \cdot (\xi)^{-n} \cdot \exp\left(\frac{E_a}{k_B T}\right)$

$$\text{AF} = \left(\frac{\xi_{\text{stress}}}{\xi_{\text{use}}}\right)^n \cdot \exp\left[\frac{E_a}{k_B} \left(\frac{1}{T_{\text{use}}} - \frac{1}{T_{\text{stress}}}\right)\right]$$

- 對於 (2)：故障時間  $\text{TF} = A_0 \cdot \exp(-\gamma\xi) \cdot \exp\left(\frac{E_a}{k_B T}\right)$

$$\text{AF} = \exp[\gamma \cdot (\xi_{\text{stress}} - \xi_{\text{use}})] \cdot \exp\left[\frac{E_a}{k_B} \left(\frac{1}{T_{\text{use}}} - \frac{1}{T_{\text{stress}}}\right)\right]$$

解釋. 通常我們沒辦法觀察到要交給客戶的成品的故障時間分佈 (time-to-failure)，畢竟這樣就不用賣了，所以我們會對樣品施加應力，來觀察後來的故障時間 (time-to-failure) 分佈，藉以推知初始的故障時間 (time-to-failure) 分佈，作為向客戶保證品質良好的依據。

※ 對於氧化層穩定度之討論，於小電場範圍， $\varepsilon$ -model 為重要的崩潰模型，即  $\text{TF} = A_0 \cdot \exp(-\gamma\varepsilon_{\text{ox}}) \cdot \exp(E_a/k_B T)$ ，此為小電場才能用之模型。至於大電場則需要另一個常見採用 Fowler-Nordheim tunneling 的  $1/\varepsilon$ -model。簡單來說，這裡有兩種模型：

- 大電場之  $1/\varepsilon$ -model：

$$\text{TF} = t_0(T) \cdot \exp\left[\frac{G(T)}{\varepsilon_{\text{ox}}}\right]$$

解釋. 利用大電場進入 Fowler-Nordheim 穿隧電流。當電壓很大時，電流跟電場有關係是可以被推導的，其關係為  $1/\varepsilon$ ；氧化層崩潰與氧化層的電洞捕捉 (hole trapping) 有關。而這些電洞是因為極高電場使得氧化層裡面載子碰撞所撞出來的，而非從氧化層外部進來的。藉由調整氧化層厚度，可以確定電洞是由氧化層內部產生的，也就導出了這個  $1/\varepsilon$ -model，造成了固定電壓、電場卻沒有固定的電流。

- 小電場之  $\varepsilon$ -model (實驗不好做):

$$TF = A \cdot e^{-\gamma \cdot \varepsilon} \cdot \exp\left(\frac{E_a}{kT}\right)$$

解釋. 小電場很難讓氧化層崩潰，所以需要很長的時間才能驗證這個模型。此外，尚未清楚  $e^{-\gamma \cdot \varepsilon}$  項的由來。

- \* 對於 TF 模型之參數：

$$n = - \left[ \frac{\partial \ln(TF)}{\partial \ln \xi} \right] \Big|_T$$

$$E_a = k \left[ \frac{\partial \ln(TF)}{\partial (1/T)} \right] \Big|_\xi$$

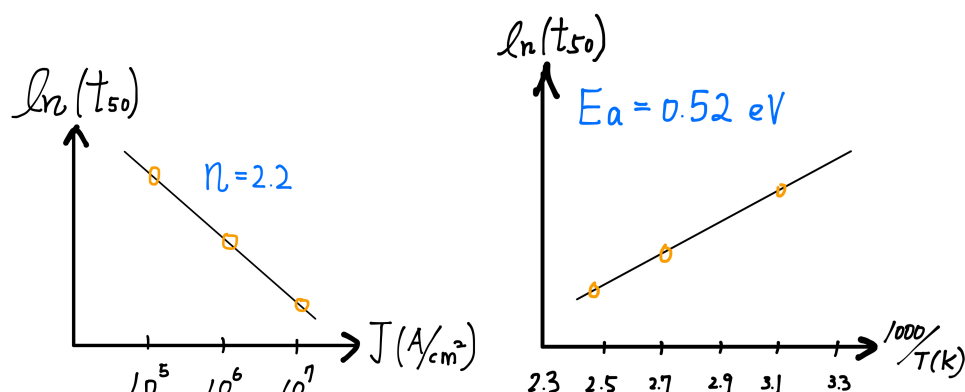
解釋. 對於經常使用的故障時間模型，

$$TF = A_0 \cdot (\xi)^{-n} \cdot \exp\left(\frac{E_a}{kT}\right)$$

我們該如何找到其關鍵參數  $n$  與活化能  $E_a$  呢？方法就是利用上面兩式之偏微分。萃取出來之後，我們在某個物理變量  $\xi$  與溫度  $T$  下，會有多少的故障時間，那麼變溫時也可以繼續使用這公式。

Ex: 氧化層定電流施加崩潰測試。在固定電流與應力下 (constant current stress—CCS)，令  $\xi = J$  (電流密度)，取  $f_{\text{crit}} = \frac{1}{2} = 0.5$  (或 50%) 為 TF 之代表點，如圖 (1.14) 與 (1.15)。

→ 需做多組樣品測試，取積累故障百分率 (Cumulative failure probability)  $F(t)$  分佈，再取 50% 代表點為 TF，即  $t_{50}$ 。

Figure 1.14:  $\ln(t_{50})$  vs.  $J(\text{A}/\text{cm}^2)$ . Figure 1.15:  $\ln(t_{50})$  vs.  $1000/T(\text{K})$ .

解釋.  $t_{50}$  為  $f_{\text{crit}} = 50\%$  元件故障時所經歷的時間，也就是這例子中的故障時間 TF。例如說，在電流密度為  $J = 10^5$  ( $\text{A}/\text{cm}^2$ ) 時，看看有 50% 元件故障的時間。接著在定電流然後變溫，來測得活化能  $E_a$ 。最重要的是，這裡使用的故障時間模型為：

$$\text{TF} = A_0 J^{-n} \exp\left(\frac{E_a}{k_B T}\right) \leftrightarrow \frac{N(\text{TF})}{N(0)} = 0.5$$

因此，以  $\ln \text{TF}$  vs.  $\ln J$  圖而言：

$$\ln \text{TF} = \underbrace{-n}_{\text{slope}} \ln J + \underbrace{\ln A_0 + \frac{E_a}{k_B T}}_{\text{TF-intercept}}$$

又以  $\ln \text{TF}$  vs.  $1/T$  圖而言：

$$\ln \text{TF} = \underbrace{\frac{E_a}{k_B}}_{\text{slope}} \frac{1}{T} + \underbrace{(-n \ln J + \ln A_0)}_{\text{TF-intercept}}$$

Ex: 熱膨脹係數不同引起材料之間的热應力 (thermal stress) 穩定度，考慮 A、B 兩材料相接，其熱膨脹係數分別為  $\alpha_A$  與  $\alpha_B$ 。當溫度下降  $\Delta T$ ，不考慮彎曲效應 (curvature) 下，

$$\sigma = \epsilon \cdot E$$

其中，

- 應力單位為 Pa

- 應變  $\epsilon$  (strain) 則沒有單位

$$\epsilon = \frac{\text{長度變化}}{\text{初始長度}}$$

- $E$  則為楊氏模量 (modulus of elasticity), 單位為 Pa。

假設熱膨脹係數  $\alpha_A$  與  $\alpha_B$  與溫度無關, 則:

材料 A 受到伸張應力 (tensile stress):

$$\sigma_A = \epsilon_A \cdot E_A \propto (\alpha_A \cdot \Delta T - \delta) \cdot E_A$$

材料 B 受到壓縮應力 (compressive stress):

$$\sigma_B = \epsilon_B \cdot E_B \propto (\delta - \alpha_B \cdot \Delta T) \cdot E_B$$

- $\alpha(\text{Si}) = 2.33 \text{ ppm/C}$
- $\alpha(\text{metal}) = 4.3 \sim 17.0 \text{ ppm/C}$
- $\alpha(\text{plastic}) = 16.0 \sim 25.0 \text{ ppm/C}$

解釋. 不同材料有不同的熱膨脹係數。一開始是在常溫之下將這兩材料做在一起。而當溫度下降時, 兩個材料都會縮小, 但兩者縮小的量不同, 而且兩者又綁在一起, 所以兩者互相拉扯, 使得兩者開始彎曲, 造成一者伸張應力 (tensile stress), 另一者則是壓縮應力 (compressive stress)。進一步而言, 應力 ( $\sigma$ ) 與形變 ( $\epsilon$ ) 有關:

Ex: 長時間施加週期性改變應力引起之疲勞 (Fatigue stress) 穩定度

→ 利用循環變溫 (thermal cycle) 來產生週期性應變力變化的拉擠現象。cf: thermomechanical stress

→ 又稱之為循環疲勞 (cyclic fatigue)。

- 用來攻擊易碎裂之材料 (Brittle materials) 以研究它的性質。

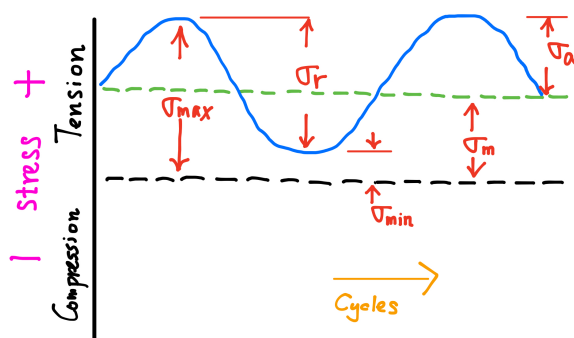


Figure 1.16: Thermal cycles with variation of stress.

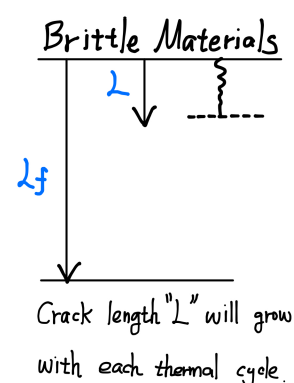


Figure 1.17: Crack length  $L$  of brittle materials

三個步驟：

1. 一開始就出現裂縫
2. 裂縫生長
3. 後階段巨變失誤 (catastrophic failure)

根據  $dN(t)/dt = -k(t)N(t)$ ，將  $N$  改為長度  $L$  (已裂開的長度) 且時間  $t$  改為循環次數  $N$ ：

$$\frac{dL}{dN} = C \cdot (\sigma_a)^m \cdot L^n$$

其中，因為裂開長度  $L$  隨時增加，所以  $k(t) = C\sigma_a^m$  取正。 $(\sigma_a)^m$  為施加的循環應力常數 (applied cyclical stress)，正比於  $\Delta T$ 。 $L$  為 crack length， $N$  為循環次數 (the number of cycles)。因此，假若  $C$  與  $(\sigma_a)^m$  皆不隨循環次數  $N$  以及斷裂長度  $L$  改變，並且假定當斷裂長度達到  $L_f$  時，我們就說這元件已故障，而其伴隨的故障循環次數 (Cycles-to-failure)  $N_f$  即為 (下式之  $L_0$  表示初始斷裂長度)：

$$\int_0^{N_f} dN = N_f = \underbrace{\frac{1}{C} \int_{L_0}^{L_f} \frac{dL}{L^n}}_{A_0} (\sigma_a)^{-m} \equiv A_0 \cdot (\sigma_a)^{-m}$$

$$\text{cf: TF} = A \cdot \sigma^{-n} \cdot \exp\left(\frac{E_a}{k_B T}\right)$$

解釋。因此我們可知，在某溫度時， $N_f = A_0 \sigma_a^{-m}$ ，那倘若變溫呢？這時可重複再做實驗，最後可得到一系列的  $N_f(T_1)$ 、 $N_f(T_2)$ 、...，因此我們可藉由——如果順利的話——阿瑞尼士方程式，找到相對應的活化能  $E_a$ ，來描述它：

$$\text{NF} \equiv N_f(T) = A \sigma^{-n} \exp\left(\frac{E_a}{k_B T}\right)$$

- 對於金屬材料，令  $\Delta T_0$  為材料仍處於彈性之變溫範圍，不會造成塑化形變 (plastic strain)。而當  $\Delta T$  超過  $\Delta T_0$  後將造成塑化形變 (plastic strain)  $\Delta e_p$ ，將引起老化、故障。

→ Coffin-Manson equation  $(N_f)^b \cdot \Delta e_p = A_0$  ;  $b = 0.25 \sim 0.5$

$$N_f = A_0^{1/b} \cdot (\Delta e_p)^{-1/b} = B_0 (\Delta T - \Delta T_0)^{-n}$$

$n = 2 \sim 4$  軟金屬 (soft metals)

$n = 4 \sim 6$  硬金屬 (hard metals)

$n = 6 \sim 9$  易脆物質 (brittle materials)

→  $n$  越大， $N_f$  越小，越容易故障 (failure)。

### §1.3.3 統計分析

※ 穩定度之評估需取許多樣品測試，經統計處理將分佈求出

定義  $f(t)$ ：故障機率密度分佈 (failure probability density function)  
 $F(t)$ ：積累故障百分率 (Cumulative failure probability) (範圍：  
 $0 \sim 100\%$ )

$$f(t) = \frac{dF(t)}{dt} \quad \text{or} \quad F(t) = \int_0^t f(t')dt'$$

定義 故障速率 (Failure rate)  $\lambda(t) \equiv \frac{f(t)}{1 - F(t)}$

→ 相當於在時間  $t$  時，在目前仍能正常操作之樣品堆中，發生故障的百分比速率，其單位以 FIT(failure rate unit) 描述。

- 1 FIT = 1 fail in  $10^9$  device-hours  
 亦即在十億個元件中，若每秒有一個元件故障 (fail)，則故障速率  $\lambda = 10^{-9}$  1/s 被定義為 1 FIT。

解釋. 故障速率 (Failure rate)  $\lambda(t)$  的定義為：

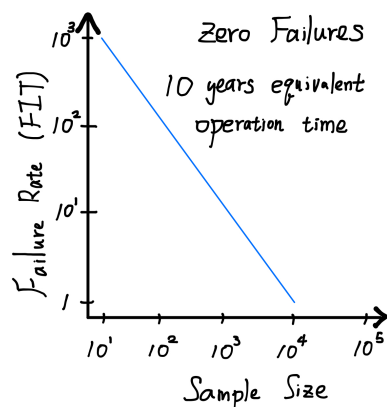
$$\begin{aligned} \lambda(t) &\equiv \frac{dN_{\text{fail}}/dt}{N_{\text{remain}}} \\ &= \frac{dN_{\text{fail}}/dt}{N_{\text{total}} - N_{\text{fail}}} \\ &= \frac{f(t)}{1 - F(t)} \end{aligned}$$

其意義為，在那些尚未故障的元件中，故障元件所佔比例之時變率。通常將「在尚未故障的十億個元件中，每秒有 1 個元件故障」的故障速率  $\lambda = 10^{-9}$  Hz 定義為 1 FIT。

解釋. 有一堆樣品，對它們施加應力，然後對量積分。當量達到 50% 時，就可以得到故障時間 (time-to-failure)，也就可以得到故障速率 (failure rate)，其中  $F(t)$  是在時間  $t$  中已經故障 (fail) 的百分比。故障速率單位 (Failure rate unit; FIT) 用以描述，當我有個尚未故障的樣品數量，達到  $10^9$  device-hours。元件尚未故障的數量可能越來越多，時間也越來越長。如果如此數量下有一個元件 fail，則定為 1(FIT)。也就是說，在  $10^9$  device-hours 中，如果出現一個 fail，則其故障速率 (failure rate) 為 1 FIT。

- ※ 元件尺寸越小，元件位於相同尺寸之（晶圓片）樣品中的密度越高，元件數量越多，則在某時間範圍內保證不故障則越不容易達到，相當於需要較小的故障速率（failure rate）才能滿足需求。

需求：在 10 年內沒有元件故障（或即將出現故障，或是恰**只有一個元件故障**）



Ex: 10 年 (= 87600 hr  $\approx 10^5$  hr)

→ 倘若元件數量級為  $10^4$  個，那麼在 10 年內相當於  $10^9$  device-hrs 才有一個元件故障，即故障速率（failure rate）為 1 FIT。

→ 倘若元件數量級為  $10^3$  個，那麼在 10 年內只有一個元件故障（failure）即滿足需求，此條件才  $10^8$  device-hrs，所以這樣的故障速率相當於在  $10^9$  device-hrs 時，共有十個元件故障，因此，此例之故障速率為 10 FIT。

Figure 1.18: Failure rate vs. sample size.

解釋. 這張圖是指所有放置十年後的樣品——樣品有大有小，所以樣品上之元件數目有多少有少——至多只有一個元件故障的故障速率分佈圖。橫軸是樣品上的元件數量，縱軸是故障速率（failure rate）。直觀來說，對於元件數目越多的樣品，在相同時間且相同故障速率下，故障元件數應該越多。因此，對於相同時間且**相同故障元件數**的情況來說，元件數目越多的樣品，其故障速率必然越低。

我們粗略估計 10 年相當於  $10^5$  小時。針對元件數目為  $10^4$  的樣品而言，由於其在 10 年內只有 1 個元件故障，所以這就是再說，該樣品在  $10^9$  device-hrs 時，只有 1 個元件故障，因此根據 1 FIT 之定義，其故障速率（failure rate）為 1 FIT。也就是  $(10^4, 1)$  的座標意義。倘若有  $10^3$  個元件並且在 10 年內就有一個元件故障，那麼表示這群樣品在  $10^8$  device-hrs 中即有 1 個元件故障，也就是相當於在  $10^9$  device-hrs 中，會有 10 個元件故障也就是 10 FIT，也就是  $(10^3, 10)$  座標點的意義。

也就是說，倘若這群樣品都是在 10 年內恰好只有一個元件故障，那對於元件數量較少的樣品而言，其故障速率就很高；反之，對於元件數量較多的樣品而言，故障速率當然就很低。

假設我們能夠保證在時間  $T$  內，這  $N$  個元件都不會故障，那就表示，至少要經過  $T$  以上之時間，才會有一個元件故障。因此，

假設終於有一個元件故障所需時間為  $T_{\text{fail}}$ ，那麼，

$$\frac{dN_{\text{fail}}}{dt} = \frac{1}{T_{\text{fail}}} \leq \frac{1}{T}$$

因此，在當前這些仍良好的  $N$  個元件中，其故障速率為：

$$\lambda(t) \equiv \frac{dN_{\text{fail}}/dt}{N_{\text{remain}}} = \frac{1/T_{\text{fail}}}{N} \leq \frac{1}{NT}$$

也就是說，在這  $N$  個元件中，倘若我們希望這些元件至少能夠撐  $T$  這麼長的時間，那麼我們所能容許的故障速率就不能夠超過  $1/NT$ 。換言之， $1/NT$  就是我們所能容許的最大故障速率  $\lambda_{\text{max}}$ 。

$$\lambda_{\text{max}} \equiv \frac{1}{NT}$$

因此，在固定的操作時間  $T$  中，樣品尺寸越大，元件數目  $N$  越多，那麼我們能容許的最大故障速率  $\lambda_{\text{max}}$  必然越小。另一方面，樣品尺寸越小，元件數目  $N$  越小，那麼我們所能容許的最大故障速率  $\lambda_{\text{max}}$  就越大。



※ 故障速率 (Failure rate)  $\lambda(t)$  相關公式  
根據：

$$\frac{dN(t)}{dt} = -k(t) \cdot N(t)$$

$k(t)$  為 reaction (或 degredation) rate constant

令：

- $N(0)$  為  $t = 0$  之初始樣品數量，此時  $F(0) = 0$ 。
- $N(t)$  為時間  $t$  時仍正常運作之數量，此時  $1 > F(t) > 0$ 、 $N(t) = N(0) \cdot [1 - F(t)]$ 。

$$\therefore \frac{dN(t)}{dt} = -N(0) \frac{dF(t)}{dt} = -N(0)f(t)$$

即

$$-k(t) \cdot N(t) = -N(0)f(t)$$

$$-k(t) \cdot N(0)[1 - F(t)] = -N(0)f(t)$$

$$\Rightarrow k(t) = \frac{f(t)}{1 - F(t)} = \lambda(t)$$

因此，

$$\rightarrow \frac{dN(t)}{dt} = -\lambda(t) \cdot N(t)$$

$$\rightarrow \lambda(t) = -\frac{1}{N(t)} \cdot \frac{dN(t)}{dt} = \frac{f(t)}{1 - F(t)}$$

解釋. 在某一時刻故障的速率。其實  $k(t)$  就是故障速率  $\lambda(t)$ 。剛開始時都沒有故障 (fail)，所以  $F(0) = 0$ 。因而還能正常運作的數量為  $N(t) = N(0) \cdot [1 - F(t)]$ 。

\* 故障速率 (Failure rate)  $\lambda(t)$  對時間  $t$  之分佈特性，一般來說，呈現澡盆狀分佈 (bathtub curve)。

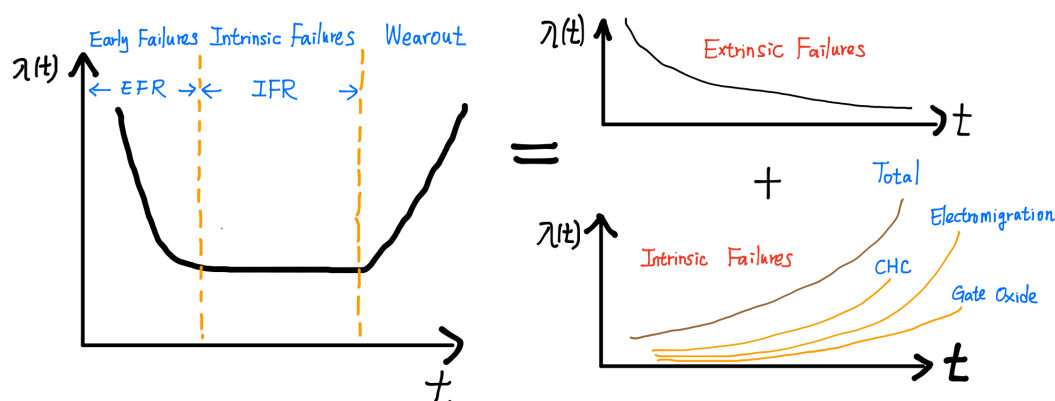


Figure 1.19: Failure rate distribution.

- 外部因素故障 (Extrinsic failures)：主要因為製程或材料之缺陷所引起。
- 內部因素故障 (intrinsic failures)：為多種損壞機制 (Wearout) 引起故障 (failure) 之總和。  
cf: CHC: channel hot carriers

解釋. 早期的樣品數很大，所以早期會有些因為外界因素而造成壞掉的元件。但中期後，那些因外部因素而故障的元件都不見了，所以故障速率維持且偏低，而到最後則是因為內部因素 (intrinsic failures) 造成的故障，像是閘極氧化層、通道熱載子 (channel hot carrier)、electromigration、...。

\* 積累故障百分圖 (Cumulative failure plot)： $F(t)$

- 韋伯分布 (Weibull distribution) 為常用之故障時間分佈函數  $f(t)$

$$f_{\text{Weibull}}(t) = \left(\frac{\beta}{\alpha}\right) \cdot \left(\frac{t}{\alpha}\right)^{\beta-1} \exp\left[-\left(\frac{t}{\alpha}\right)^{\beta}\right]$$

其中：

- $\alpha$  為故障特徵時間 (characteristic time-to-failure)
- $\beta$  為分佈參數 (shape parameter)
- $f(t)$ ：故障機率密度函數 (failure probability density function)
- $f(t)dt$ ：於  $t$  到時間  $t + dt$  之間故障之機率

- $f(0) = 0, F(0) = 0$
- $f(\infty) = 0, F(\infty) = 1$

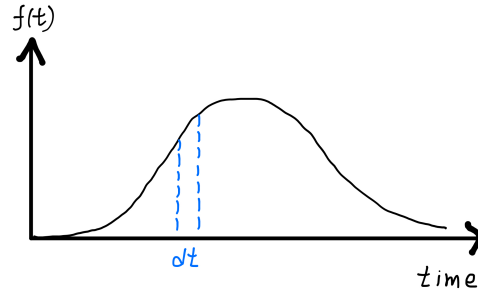


Figure 1.20: Failure probability distribution function.

上述這種  $f(t)$  形式可能是來自先前的

$$\frac{dN(t)}{dt} = -k(t)N(t)$$

*Proof.*

$$\begin{aligned} \therefore \frac{dN(t)}{dt} &= -k(t)N(t) \\ \therefore N(t) &= N(0) \exp \left[ - \int_0^t k(t') dt' \right] \\ \therefore N(t) &= N(0) [1 - F(t)] \\ \therefore 1 - F(t) &= \exp \left[ - \int_0^t k(t') dt' \right] \end{aligned}$$

假如  $k(t)$  為常數  $k$ ，那麼，

$$1 - F(t) = \exp(-kt)$$

最後，我們將它做些調整，加上一些參數，使得我們可以微調其故障機率密度分佈函數（failure probability distribution）： $f(t) = dF(t)/dt$ 。

$$\exp(-kt) \rightarrow \exp \left[ - \left( \frac{t}{\alpha} \right)^\beta \right]$$

因此，我們的積累故障百分率（Cumulative failure probability）， $F(t)$ ，變為

$$F_{\text{Weibull}}(t) \equiv 1 - \exp \left[ - \left( \frac{t}{\alpha} \right)^\beta \right]$$

接著，因為

$$f_{\text{Weibull}}(t) \equiv \frac{dF_{\text{Weibull}}(t)}{dt}$$

所以我們可得韋伯分布函數  $f_{\text{Weibull}}(t)$ ，

$$f_{\text{Weibull}}(t) = \left(\frac{\beta}{\alpha}\right) \left(\frac{t}{\alpha}\right)^{\beta-1} \exp\left[-\left(\frac{t}{\alpha}\right)^\beta\right]$$

□

實務上，我們能夠測量的積累故障百分率  $F_{\text{exp}}(t)$ ，因此，如果我們測量得到的積累故障百分率  $F_{\text{exp}}(t)$  符合  $F_{\text{Weibull}}(t) = 1 - \exp\left[-(t/\alpha)^\beta\right]$ ，那就間接表示其故障機率密度  $f_{\text{exp}}(t)$  滿足 Weibull distribution： $f_{\text{exp}}(t) = f_{\text{Weibull}}(t)$ 。為了方便觀察  $F_{\text{exp}}(t)$  是否等同於  $F_{\text{Weibull}}(t)$ ，我們對  $F_{\text{Weibull}}(t)$  作如下轉換：

$$\therefore F_{\text{Weibull}}(t) = 1 - \exp\left[-\left(\frac{t}{\alpha}\right)^\beta\right]$$

$$\therefore \ln[1 - F_{\text{Weibull}}(t)] = -\left(\frac{t}{\alpha}\right)^\beta$$

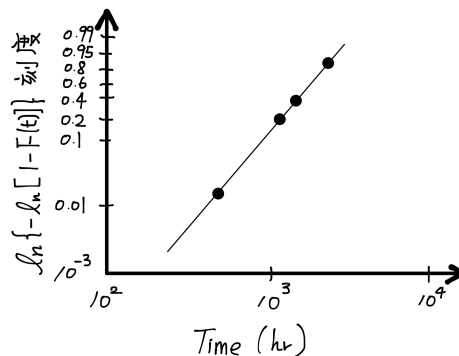
$$\therefore -\ln[1 - F_{\text{Weibull}}(t)] = \left(\frac{t}{\alpha}\right)^\beta$$

$$\therefore \ln\{-\ln[1 - F_{\text{Weibull}}(t)]\} = \beta(\ln t - \ln \alpha)$$

- 若以  $\ln\{1 - \ln[1 - F_{\text{exp}}(t)]\}$  對  $\ln t$  做圖呈直線分佈，則表示該元件之故障機率密度  $f(t)$  呈韋伯分佈：

$$F_{\text{exp}}(t) \approx F_{\text{Weibull}}(t) \rightarrow f_{\text{exp}}(t) \approx f_{\text{Weibull}}(t)$$

→  $\ln\{-\ln[1 - F(t)]\}$  對  $\ln t$  作的圖又稱之為韋伯圖 (Weibull plot)。



1.  $\beta$  與  $\alpha$  常數來自於斜率與截距，下式之 1.38 來自於  $t_{50}$  與  $t_{16}$  的選擇。

$$\beta \approx \frac{1.38}{\ln(t_{50}/t_{16})}$$

$$\alpha \approx \frac{t_{50}}{[\ln(2)]^{1/\beta}}$$

2.  $k$  越大， $\alpha$  越小，越容易故障 (fail)， $F(t)$  越大。

Figure 1.21: Illustration of Weibull plot.

Ex: 氧化層在不同測試條件下之  $F(t)$  分布比較。

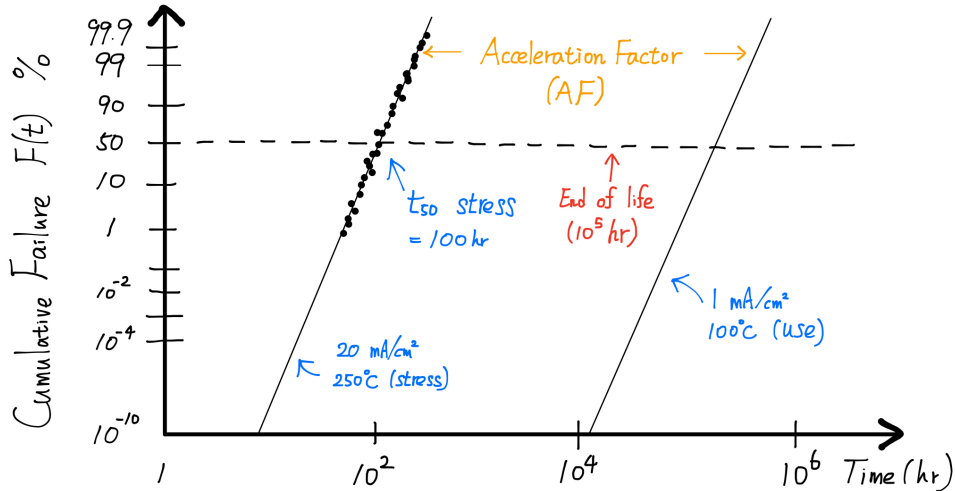


Figure 1.22: Comparison with cumulative failure  $F(t)$  under different test conditions.

$$AF = \frac{TF_{use}}{TF_{stress}} = \left( \frac{\xi_{stress}}{\xi_{use}} \right)^n \exp \left[ \frac{E_a}{k_B T} \left( \frac{1}{T_{use}} - \frac{1}{T_{stress}} \right) \right]$$

$$cf: TF = A_0 \xi^{-n} \exp \left( \frac{E_a}{k_B T} \right)$$

解釋. 用固定電流給應力 (stress), 接著再改變條件帶加速故障因子 (AF) 公式, 觀察不同條件會對故障時間 TF 有什麼影響。右側的 AF 數據是無法取得的, 因為  $10^5$  hrs 太長。

→ 一般來說,  $\xi_{stress} > \xi_{use}$ , 所以  $TF_{stress} < TF_{use} \rightarrow AF > 1$

→ 以 Weibull plot —  $\ln\{-\ln[1 - F(t)]\}$  vs.  $\ln t$  表示時:

$$\alpha_{use} = AF \cdot \alpha_{stress} \quad (\alpha \text{ 受 AF 影響})$$

$$\beta_{use} = \beta_{stress}$$

解釋.  $\alpha$  受 AF 影響, AF 越大,

## 1.4 氧化層 TDDB 崩潰模型簡介 ( $\varepsilon$ -model and $1/\varepsilon$ -model for Oxide TDDB)

### \* TDDB - Time-Dependent Dielectric Breakdown

- 於 constant current stress (CCS) 或 constant voltage stress (CVS) 下，觀察氧化層崩潰前之忍受時間  $t_{BD}$  (即 time-to-breakdown)。
- CVS 又相當於固定氧化層之電場  $\varepsilon$  進行加壓 (增加應力 stress)，故可稱之為 constant field stress，即  $\xi = \varepsilon (= \varepsilon_{ox})$ 。

兩種氧化層於 constant field stress 下之 TDDB 模型

- 小電場之  $\varepsilon$ -model:

$$t_{BD} = TF = A_0 \cdot \exp\left(-\underbrace{\gamma}_{\text{const.}} \cdot \varepsilon_{ox}\right) \cdot \exp\left(\frac{E_a}{kT}\right)$$

或

$$\ln(TF) \propto \frac{E_a}{kT} - \gamma \cdot \varepsilon_{ox}$$

其中，

$$\gamma = -\frac{\partial \ln(TF)}{\partial \varepsilon_{ox}} \quad ; \quad E_a = k \frac{\partial \ln(TF)}{\partial (1/T)} \Big|_{\varepsilon_{ox}}$$

- 上述之  $\gamma$  在小電場模型中是常數。可適用於小電場下，長時間才崩潰之實驗預測。

- 大電場之  $1/\varepsilon$ -model:

$$t_{BD} = TF = t_0(T) \underbrace{\exp\left[\frac{G(T)}{\varepsilon_{ox}}\right]}_{\text{dominant} \rightarrow 1/\varepsilon}$$

- 此式主要根據大電場下 Fowler-Nordheim tunneling current 發生時之崩潰機制推導得知，故適用於大電場。

$$\text{cf: F-N current } J = c_1 \cdot \varepsilon_{ox}^2 \underbrace{\exp\left[\frac{-c_2}{\varepsilon_{ox}}\right]}_{\text{dominant} \rightarrow 1/\varepsilon}$$

$$\rightarrow \gamma = -\frac{\partial \ln(TF)}{\partial \varepsilon_{ox}} \Big|_T = \frac{G(T)}{\varepsilon_{ox}^2}$$

這表示，倘若大電場之  $1/\varepsilon$ -model 正確，那麼  $\gamma$  將呈現與  $\varepsilon_{ox}^{-2}$  之相關性。若實驗觀察所得之  $\gamma$  為常數，則表示小電場之  $\varepsilon$ -model 較正確。利用此特性可得知小電場下  $\varepsilon$ -model 之適用性。

1.4. 氧化層 TDDB 崩潰模型簡介 ( $\epsilon$ -MODEL AND  $1/\epsilon$ -MODEL FOR OXIDE TDDB) 41

\*  $\epsilon$ -model 與  $1/\epsilon$ -model 之比較

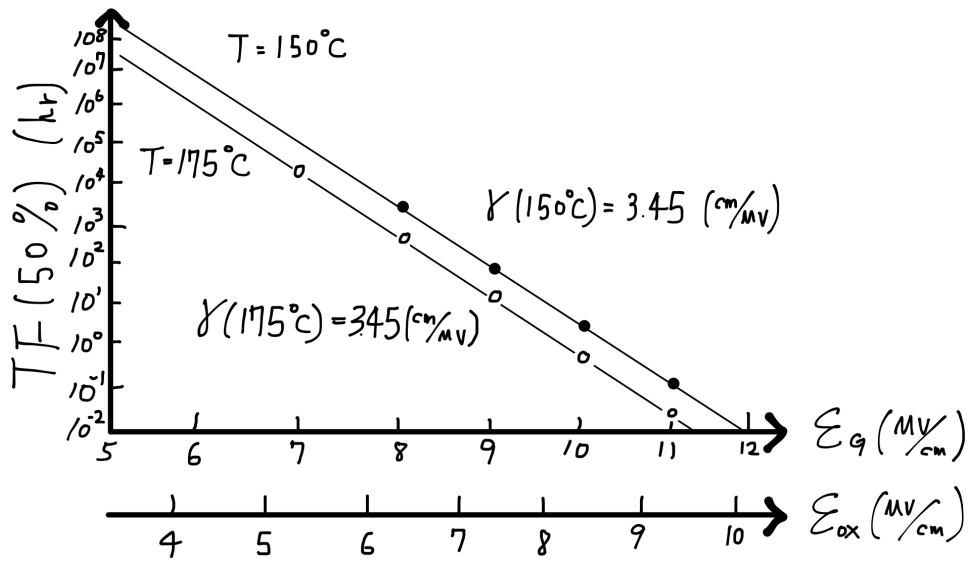


Figure 1.23: Comparison of  $\epsilon$ -model and  $1/\epsilon$ -model in TF vs.  $\epsilon$  plot.

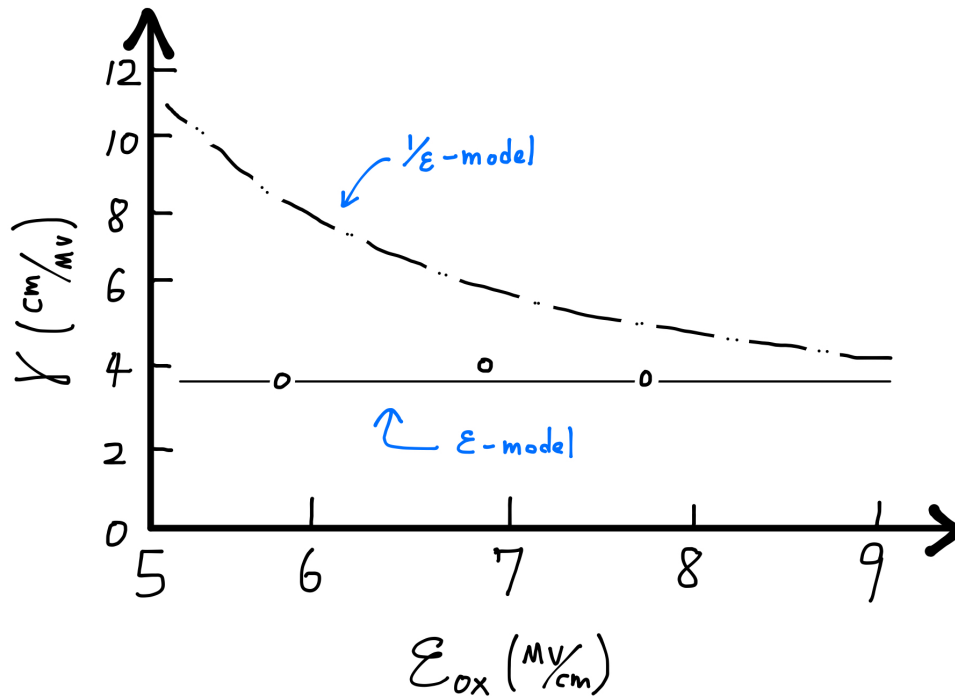


Figure 1.24: Comparison of  $\epsilon$ -model and  $1/\epsilon$ -model in  $\gamma$  vs.  $\epsilon_{ox}$  plot.

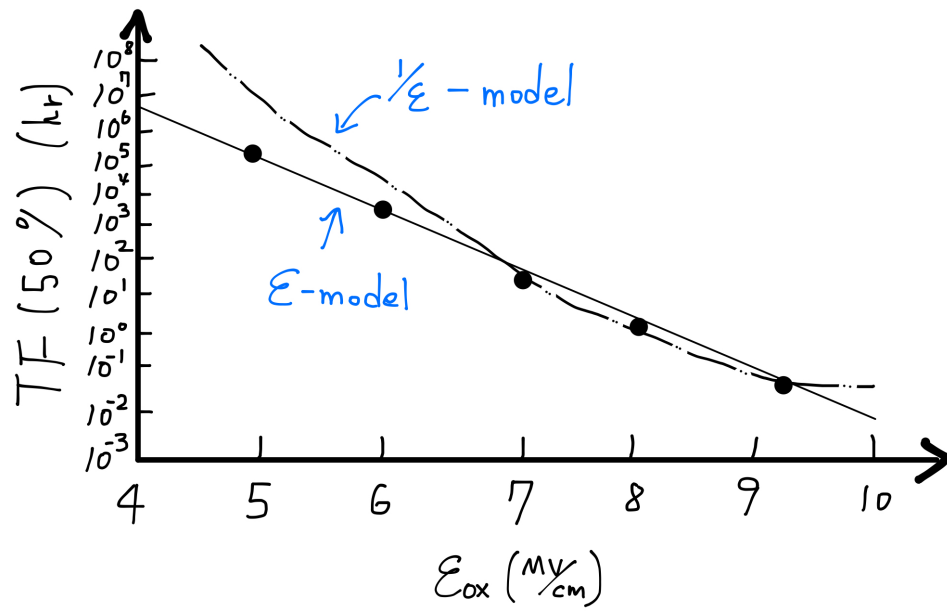


Figure 1.25: Comparison of  $\epsilon$ -model and  $1/\epsilon$ -model in TF vs.  $\epsilon_{ox}$  plot.



## 2

# 電晶體結構

Ref: S. Wolf, "Silicon Processing for the VLSI Era" Volume 3 - The Submicron MOSFET (Lattice Press)

- Chapter 4 - MOS Transistor Device Physics: Part 2 - Long Channel MOSFET.
- Chapter 5 - MOS Transistor Device Physics: Part 3 - The Submicron MOSFET.
- Chapter 9 - Hot Carrier Resistant Processing and Device Structures.

### 2.1 GIDL ( Gate-Induced Drain Leakage )

\* 電晶體關閉且閘極附近表面電場夠大時， $n^+$  汲極與閘極重疊處會形成穿隧電流，進而產生電子電洞對。此時，這些電子會往施加正偏壓的汲極端流出，因而造成漏電流，電洞則往位於負偏壓的基板移動。

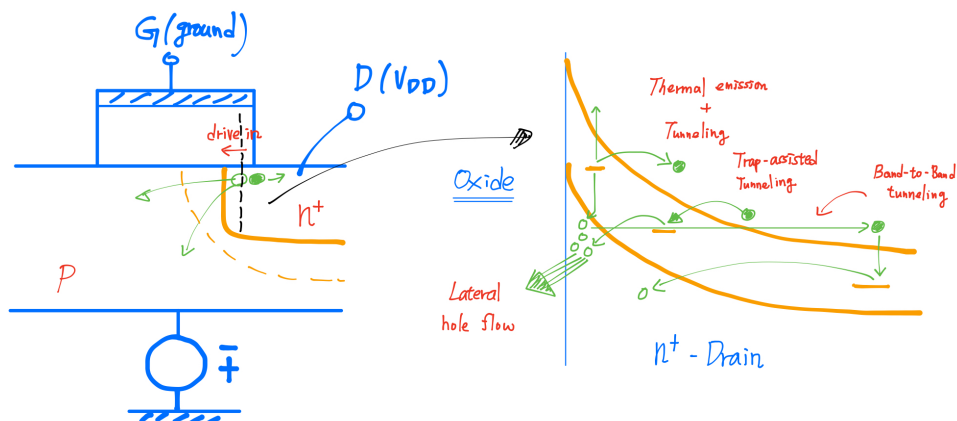


Figure 2.1: Illustration of GIDL.

- 因為電洞會流往基板，所以就不容易形成電洞的反轉層（inversion layer）。
- GIBL 會造成 standby power，所以需加以控制，一般應小於  $10 \text{ pA}/\mu\text{m}$ 。
- 在製作淺接面（shallow junction）時所引入的 Ge preamorphization 會引起 bulk midgap trap，進而造成增加 GIDL。  
cf: SPE → Solid Phase Epitaxy

解釋. 因為汲極通常都是用離子佈植的方式製作的，晶格品質也就不是很好，所以經常都需要再加溫以重建晶體；加溫就是將晶體長好——就是所謂的 Epitaxy。不過這裡的 Epitaxy 並不是 MBE 那種加入物質的磊晶，這裡的 Epitaxy 只是重建晶體，所以稱為 Solid Phase Epitaxy。而所謂的重建牽涉到一個很微妙的關鍵：總是從已長好、有規律的位置開始重建晶格。因此，越多缺陷的區域，越容易從其「外圍」慢慢向中心重建晶體。換言之，若該區域之缺陷並不夠「亂」，那麼重建的速度或完整度就會比較差。換言之，不要「捨不得」將晶體打壞。然而，離子佈植時只需要特定的能量與數量的摻質，也就不能為了「打亂晶體」而打得太多或太大力。因此，我們可以在離子佈植我們所要的摻質時，多加入一些「打了不痛也不癢」，但是能更加破壞晶體的摻質，例如鍺（Ge）。鍺沒有擔任摻質的角色，幫忙基板進行 preamorphization。而在接面越來越小時，要做得快速，又要做得漂亮，這時就需要這種技巧，否則持續太久的高溫退火也會使摻質亂跑。然而，在加入鍺之後的矽會在能隙一半的位置產生能井（midgap），也就難免造成 GIDL 現象。

- 元件經由 hot carrier injection 或 Fowler-Nordheim tunneling 處理，造成  $D_{it}$  增加，也會使 GIDL 增加。
- GIDL 現象在 long-channel 元件即可觀察到。

解釋. 為了降低接觸電阻，所以汲極通常濃度都很高，此外，因為當初發明 MOSFET 的構想是藉由 N-P-N 以及閘極來幫忙打開通道，所以才能讓閘極具有「控制力」。因此，當時的高濃度是必須的。然而，在形成  $n^+$  時，一定也有透過加溫的製程，讓濃度可以更加均勻，所以汲極區域勢必會往閘極下方擴散，而不可能讓汲極恰好在閘極隔壁且沒有與閘極重疊。而在電晶體的關閉狀態（off）時，汲極仍維持在  $V_{dd}$ ，而閘極電位  $V_G$  為零，然而，卻仍有漏電流：因為與閘極重疊的汲極區之濃度非常高，因此，根

據下式，我們可知絕緣層之鉛直方向將會有強度不低的電場：

$$E \approx \frac{\psi_S}{W} \approx \frac{V_{dd}}{W} \approx \sqrt{\frac{qN_D\psi_S}{2\epsilon_S}}$$

因此，只要一個非常小的距離  $W$ ，閘極/汲極重疊區之縱向能帶就會有顯著彎曲 (band bending) —— 有著很大的電場。而當傳導帶與價帶之間的空間距離，因為高電場導致的能帶彎曲而變得足夠小時，位於價帶的電子就可能「穿隧」至足夠薄的能障以到達傳導帶，形成穿隧電流 (band-to-band tunneling)。然而，這並不是位於閘極/汲極重疊區產生漏電流的唯一機制。除了上述的穿隧電流以外，因為半導體內部本身就有能井 (trap)，而這些能井也會提高穿隧發生的可能性。此外，也會有牽涉熱運動造成的能井穿隧機制 (thermal emission + tunneling)：

- Thermal emission + tunneling (Field-enhanced tunneling)
- band-to-band tunneling
- trap-assisted tunneling

因此，能井 (trap) 越多，GIDL 也就可能越多。總而言之，因為高電場，所以能帶嚴重彎曲，使得能障變薄，增加穿隧機率，進而產生電子電洞對與穿隧電流。一般而言，基板要嘛接地，要嘛接負偏壓，所以基板會有電洞造成的漏電流。當電子經高電場而在通道區加速 (hot carrier) 而產生游離碰撞後，會產生更多的電子電洞對，使得  $D_{it}$  增加，加大 GIDL。此外，若汲極偏壓變得更大，閘極之電子往基板方向看的能障將從梯形變成三角形，這時就會產生 FN tunneling，也會加大 GIDL。

## 2.2 Charge-Sharing effect

- \* 在短通道 (short channel) 元件中，通道下方之空乏區電荷受到源極與汲極之空乏區電荷顯著的影響，出現電荷共享現象 (charge sharing effect)，使得閘極控制力道受影響，通道變得更加容易打開 (on)、 $\hat{V}_T$  下降。

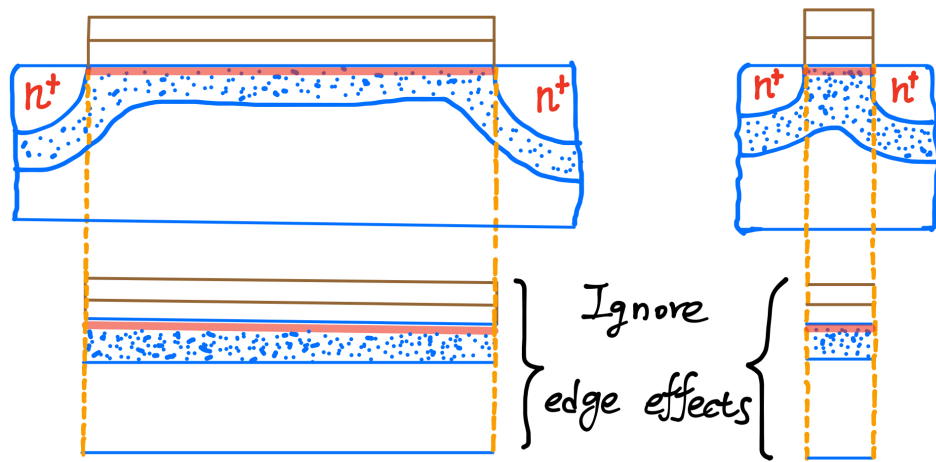
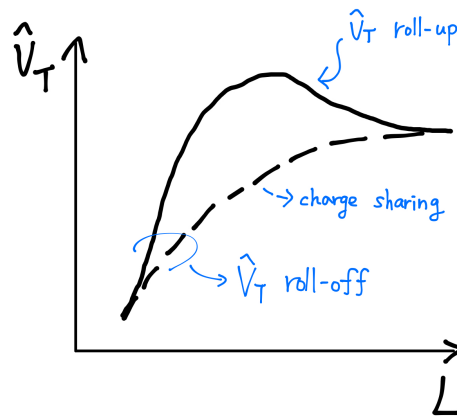


Figure 2.2: Illustration of charge-sharing effect.

- 通道長度越小， $\hat{V}_T$  下降越多，因而此效應又稱為  $\hat{V}_T$  roll-off。  
 cf: 若有其他因素使得通道的縮小反而造成  $\hat{V}_T$  的上升，這現象就會被稱為  $\hat{V}_T$  roll-up，通常會以 RSCE (Reverse Short-Channel Effect) 來表示這種反常現象。

Figure 2.3: Illustration of  $\hat{V}_t$  roll-up and roll-off effect.

- \* 對於窄通道元件 (narrow channel)，較小的通道寬度  $W$  使得邊緣效應更加顯著，亦即閘極邊緣之空乏區對閘極正下方空乏區所佔比例較大，使得需要使用更大的閘極電壓  $V_G$  來打開通道。等效上， $\hat{V}_T$  較大，所以又稱為邊緣空乏區效應 (edge-depletion-region effect)。

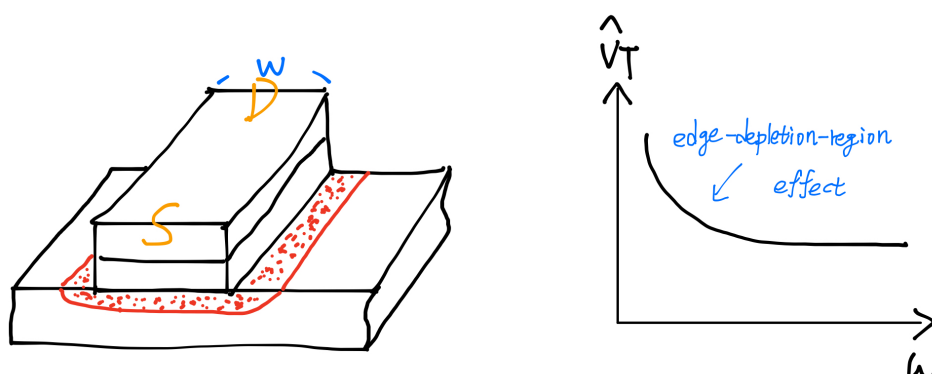


Figure 2.4: Illustration of edge-depletion-region effect.

解釋. 在反轉層出來之前，通道必然要先產生空乏區，但如果兩側源極、汲極的空乏區對通道空乏區影響顯著，通道過短，那麼引出反轉層所需的閾值電壓就會下降；不需要太大的閾極電壓，甚至不需要什麼電壓，就可以有空乏區。至於 RSCE 則可以理解為「反常的短通道效應」，因為通道越短，照常理來說，閾值電壓應該變小，但某些元件的閾值電壓反而上升，所以就用 Reverse short channel effect 來稱呼此現象。

## 2.3 DIBL (Drain Induced Barrier Lowering)

\* 在矽表面從源極沿通道方向之電位能障會因為接合面之空乏區電荷量受到 PN 接面內建電場及汲極反偏壓大小而改變，造成電晶體電流改變，相當於  $\hat{V}_T$  改變。短通道元件特別容易發生這種現象。

$$\rightarrow V_{DS} \uparrow, \hat{V}_T \downarrow, I_D \uparrow$$

$$\rightarrow L_{\text{eff}} \text{ 越小, DIBL 越是嚴重。}$$

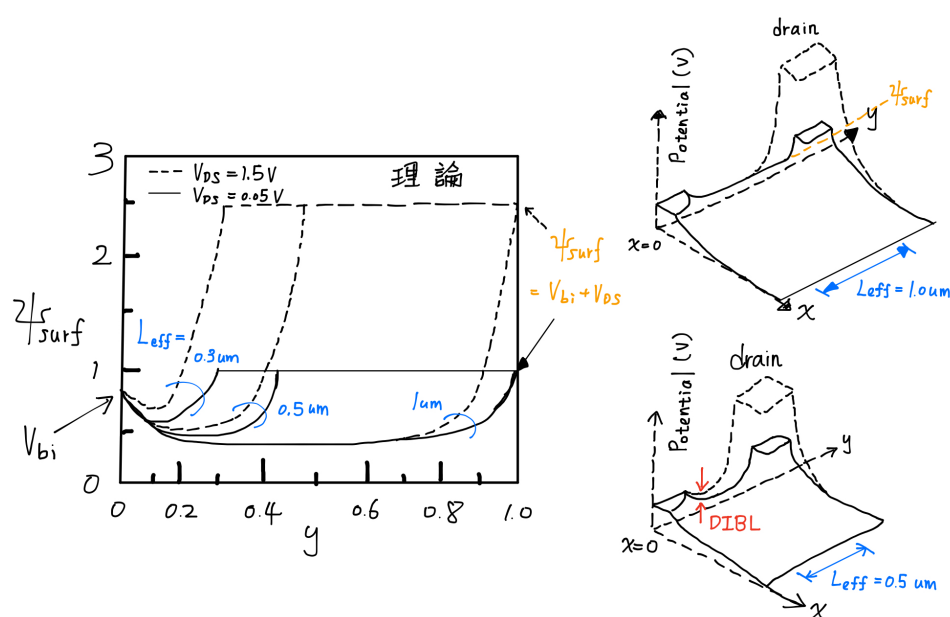


Figure 2.5: Illustration of drain-induced barrier lowering effect.

- \* 倘若通道足夠長，或是  $V_{DS}$  足夠小，那麼就不會發生 DIBL。
- \* 對  $\hat{V}_T$  roll-off 現象， $V_{DS}$  越大，則  $\hat{V}_T$  下降得越多，電晶體電流也就更大，所以  $\hat{V}_T$  陡降程度越小。

解釋。如果兩側的空乏區接觸在一起，那麼源極通向汲極的能障就會下降，在相同  $V_{DS}$  偏壓下，通道電子濃度更高，即  $\hat{V}_T$  變小，所以  $I_D$  就變得更大。更具體來說，若沿著通道畫一能帶圖，那麼電子由源極通向汲極的能障就變低。此外，有時為了調整閾值電壓，可能會在通道多一些摻雜，這時漏電流就不會沿著通道流動，反而是往基板方向，繞過通道地流到汲極，這就是另一個流向的擊穿現象。

## 2.4 Substrate Bias Effect

- \*  $V_{BS}$  是指 Body (基板) 相對 Source (源極) 之偏壓。
- \*  $V_{BS}$  增加時，會造成  $Q_D$  增加。倘若  $V_G$  固定，則通道之反轉程度會變弱，電流就變小。若想保持相同的反轉程度，那麼就必須增加閘極電壓  $V_G$ ，亦即電晶體的閾值電壓  $\hat{V}_T$  會變得更大。  
cf:  $V_T = V_{FB} + \phi_C + \gamma\sqrt{\phi_C + V_{BS}}$ ,  $\phi_C \approx 2\phi_F + 6\phi_t \approx 2\phi_F + 0.156 V$
- \* 對短通道元件來說， $V_{BS}$  的影響較小，表示  $\hat{V}_T$  由其他效應控制較多 (Ex: DIBL)。

\* 對於長通道元件而言，當  $V_{DS}$  足夠小的時候，DIBL 就不容易發生，但這時  $V_{BS}$  效應會相當明顯。

Ref: G. W. Taylor, Solid-State Electronics, 22, p.701 (1979)

\* 對於  $L = 1.5 \mu\text{m}$  元件， $V_{DS} = 8 \text{ V}$  與  $V_{DS} = 2 \text{ V}$  有很大的  $V_T$  變化差異，主要是因為當  $V_{DS}$  太大時，來自汲極的空乏區與源極之空乏區產生擊穿現象，使得來自閘極的空乏區邊緣受到阻隔 (decouple)，使得通道與基板受到分隔，所以基板偏壓效應 (substrate bias effect) 相對不明顯。

解釋. 在金氧半電容元件課程中， $V_{BS}$  稱為  $V_{CB}$ ，B 是指 Body，S 是指 Source。不過元件的不理想效應除了基板偏壓效應 (Substrate bias effect) 以外，也會有先前提到的汲極誘導降能障的效應 (DIBL)，所以這些效應的觀察並非易事。對於長通道而言，因為汲極誘導降能障效應變得不明顯，所以就比較好觀察到  $V_T$  隨  $\sqrt{V_{BS} + \phi_C}$  線性變化的關係，即基板偏壓效應顯著。但當通道越來越短，基板偏壓效應就會受其他因素影響而變得不顯著，如汲極誘導降能障效應。而當  $V_{DS}$  越大，汲極誘導降能障效應也就越大，所以相對之下，基板偏壓效應就變得更微弱。

## 2.5 RSCE (Reverse Short-Channel Effects)

\* 又稱為  $V_T$  roll-up 或 anomalous threshold behavior。

→ 倘若通道越短，閾值電壓越大，則稱為 RSCE。

cf: 一般來說，如果只有電荷共享效應 (charge-sharing effect)，則通道越短，閾值電壓越小才是正常的現象。

解釋. 製作電晶體時，我們通常會在通道區域打額外兩道離子佈植，分別是用以調整閾值電壓所需的較淺的 Threshold- $I^2$ ，再來是為了調整短通道時會有的汲極誘導降能障現象之擊穿電流所打的較深的 Antipunch- $I^2$ ——為了避免底部擊穿的離子佈植。在離子佈植完後，也要加溫退火。

### §2.5.1 可能原因

\* 再氧化 (re-oxidation) 時，聚晶矽閘極邊緣與矽基板的源極、汲極處之氧化程度較大，氧化層也因而較厚，即所謂的閘極堆疊氧化現象 (GGO, graded-gate oxide)，或稱為鳥嘴閘現象 (gate bird's beak)。之所以再氧化以形成鳥嘴閘極，是為了減少閘極與兩側之源極、汲極的邊緣電場，降低不理想之重疊電容。然而，此時聚晶矽的間隙缺

陷 (interstitial defect) 會從聚晶矽釋出並注入至通道之中，造成摻質 (硼) 的強氧化擴散現象 (OED, oxidation-enhancement diffusion)，使得通道邊緣之硼濃度上升。

→ 當通道長度越來越短，上述邊緣處之強氧化擴散現象就越是顯著，使得  $\hat{V}_T$  上升。

解釋. 閘極堆疊氧化現象雖然可減少 GIDL，但也會加大通道電阻。

### §2.5.2 Enhanced $\hat{V}_T$ roll-off

\* 在通道邊緣處之離子佈植破壞區，於源極、汲極佈植活化退火時，會引起通道邊緣之摻質 (硼) 往鄰近源極、汲極區移動並堆積，進而造成基板內部摻質 (硼) 濃度變小。而當通道長度越短，此效應越顯著，閘值電壓下降越多，因此這現象稱為閘值電壓之強陡降效應 (enhanced  $\hat{V}_T$  roll-off)。

→ 在源極與汲極離子佈植時會出現晶體缺陷，而摻質 (硼) 又在這種充滿缺陷的區域有著較高的固體溶解度 (local solubility)。

→ 講義圖中實線表示基板內部的硼沒有跑到兩極的濃度分佈情況，而虛線則表示有此現象。經模擬可知，當通道長約  $L = 0.2 \mu\text{m}$  時，基板內部摻質濃度明顯變得更小，使得  $\hat{V}_T$  下降顯著。

\* 建議使用快速熱處理 (RTP)，在高溫短時間退火 (如  $900^\circ\text{C}$ 、 $\text{N}_2$ 、5 min)，可減少側向摻質再分佈 (lateral dopant redistribution) 的現象。

Ref: M. Orolowski, C. Mazure, and F. Lau, IEDM Tech. Dig. 1987, p.632.

解釋. 所謂的"enhanced"，是指，相較於正常的均勻摻雜濃度的  $\hat{V}_T$  vs.  $L_{\text{eff}}$  關係，這時因為內部的摻質 (硼) 會擴散到周圍兩極的缺陷區，所以其  $\hat{V}_T$  下降得更快，所以才有「加強」的意味；通道越短，通道內的硼向外跑得越顯著。因此，退火時，溫度不要太高，加熱時間不要太久，但沒有足夠的時間或溫度也無法活化，所以就建議用 Rapid thermal processing。

## 2.6 Punchthrough (Subsurface-DIBL) Effect

\* 一般元件為了調整閘值電壓，通常會在基板表面進行所謂的" $V_T$ -adjust implant" 以加大表面  $P$ -type 濃度 (以  $N$ -MOS 為例)。因而在相同  $V_{\text{DS}}$  下，空乏區比較不容易由基板表面向源極延伸，反而是由基板內部伸展，從下方延伸到對面的源極以擊穿 (punchthrough)，增加擊穿電流。此現象又稱之為 Subsurface punchthrough。



※ 經由模擬可知，當  $V_{DS}$  越大，最大電流密度路徑會由「表面」移動至「基板內部」(bulk region)。此外，通道越短，則越容易發生擊穿現象， $I_{D_{subthreshold}}$  越大。  
Ref: J. Zhu, R. A. Martin, and J.S. Chen, IEEE Trans. Electron Dev., 1988, Feb., p.145.

※ 擊穿電壓 ( $V_{pt}$ , punchthrough voltage) 之定義： $V_{GS} = 0$  時， $I_{D_{subthreshold}}$  ( $I_D$ ?) 達某特定值時之  $V_{DS}$  值，如  $1 \text{ nA}/\mu\text{m}$ 。  
cf:  $V_{pt} \propto N_{sub} (L - r_j)^3$ ，大約等於  $W_s + W_D \approx L$  時之值，但  $L$  要扣掉  $2R_j$  (曲率半徑)。  
cf: 1-dimensional abrupt pn junction,  $W = \sqrt{2\epsilon_S(V_{bi} + V_R)/qN_{eff}}$ .  
cf: 1-dimensional linearly graded pn junction,  $W \propto (V_{bi} + V_R)^{1/3}$ .

### §2.6.1 避免擊穿之方法

#### ※2.6.1.1 方法 1： $N_{sub}$ control

※ 將基板摻雜濃度  $N_{sub}$  提升，可以減少空乏區寬度，使得擊穿電壓上升。

- 一般來說，可以讓基板濃度比十分之一的通道濃度大就好， $N_{sub} > N_{ch}/10$ ，其中  $N_{ch}$  為通道內的佈植區域之平均摻質濃度，而  $N_{sub}$  是指均勻的 bulk-substrate doping concentration。
- 此技術只需一次  $V_t$ -adjust  $I^2$  及選擇適當之  $N_{sub}$ ，即可得到適當之閾值電壓  $V_T$  及  $V_{pt}$  值。非常適合大於  $1 \mu\text{m}$  的 Drain gate length，非常容易設計及製作。
- 但當通道長度約  $1 \mu\text{m}$  ( $L_{eff} \approx 0.55 \mu\text{m}$  或是 drain gate length 更小時 (尤其是當基板電阻率偏高時，如  $\rho > 10 \Omega \cdot \text{m}$ )，就不再適用上述準則，需再額外之離子佈植，即所謂 punchthrough stopper implant 技術 (或 punchthrough implant, PTI 技術)。

#### ※2.6.1.2 方法 2：PTI (Punchthrough Implant)

※ 另加 PTI，在源極與汲極之底部為此 PTI 之最高佈植濃度區，這技術不需增加  $N_{sub}$ ，所以  $C_j$  就不會增加，同時又可避免汲極之橫向空乏區延伸過快。

※ PTI 呈高斯分佈。

#### ※2.6.1.3 方法 3：Halo Implant

※ 對於 N-MOSFET 在 LDD (lightly doped drain) 之 tip region 再予以局部佈植 p 型摻質，使得源極與汲極周圍的 PN 界面內側摻質濃度上升，因而不需藉由提高基板濃度以得到較短的通道長度，同時也壓抑了擊穿現象。

- 缺點是 sidewall junction concentration 會增加。
- halo doping 之最大濃度取決於 P-N<sup>+</sup> 接面產生 avalanche breakdown 之大小限制。
- ※ 利用大角度傾斜佈植 (large-angle tilt, 簡稱 LAT) 可得到 halo-like 結構。又因為閘極本身就可作為佈植時的面罩, 所以這技術又稱之為自我對齊之口袋佈植 (SPI, Self-aligned Pocket Implantation), 或者又被稱為 DI-LDD (double-implanted LDD)
- ※ Peak halo dose 越大, 在相同  $V_{DS}$  下之橫向電場  $E_x$  也就越大。換言之, 對於相同橫向電場  $E_x$  的情況來說, Peak halo dose 越大, 則  $V_{DS}$  也就越小。這效應不可忽略。

## 2.7 Hot Carrier Effect

- ※ 當元件縮小至次微米時, 相同  $V_{DS}$  下之通道橫向電場隨元件縮小而變大, 使得反轉層內之載子劇烈加速 (以及加熱), 進而造成破壞。其中最重要的議題為閘極氧化層與 Si/SiO<sub>2</sub> 界面之破壞, 此元件損壞現象被稱為 time-dependent degradation。相關的衰退特性有  $V_T$  (threshold voltage)、 $g_m$  (linear region transconductance)、 $S_t$  (subthreshold slope) 以及  $I_{D,sat}$  (Saturation current)。

### → 元件壽命減短

Hot-carrier generation and current components

1. Holes reaching the source
2. Electron injection from the source
3. Substrate hole current
4. Electron injection into the oxide

- 最大橫向電場  $E_{y,max}$  通常位於通道靠近汲極的那端。若此電場太大, 那就可能發生雪崩效應, 產生大量電子電洞對。

cf: 參考公式

當  $(V_{DS} \gg V_{D,sat})/l \gg E_{sat}$  時,

$$\bullet E_{y,max} \approx \frac{V_{DS} - V_{D,sat}}{l} \begin{cases} l \approx 0.22t_{ox}^{1/3}r_j^{1/3} & , t_{ox} \geq 15 \text{ nm} \\ l \approx 0.017t_{ox}^{1/8}r_j^{1/3}L^{1/5} & , t_{ox} < 15 \text{ nm and } L < 0.5 \mu\text{m} \end{cases}$$

Ref: J. Chung et al., IEDM, 1988, p.200.

$$\bullet V_{D,sat} \approx \frac{E_{sat}L(V_{GS} - V_T)}{(V_{GS} - V_T) + E_{sat}L} = \frac{V_{GS} - V_T}{1 + \frac{V_{GS} - V_T}{E_{sat}L}} \begin{cases} L \nearrow \Rightarrow V_{D,sat} \approx V_{GS} - V_T \\ L \searrow \Rightarrow V_{D,sat} \approx E_{sat}L \end{cases}$$

Ref: C. Sodini, P.K. Ko, and J. L. Moll, IEEE Trans. on Electron Dev., ED-31, October 1984, p.1386.

※ 發生 Hot-carrier effect 時，基板電流 (substrate current) 將顯著上升，因此可藉由監控  $I_{\text{sub}}$  以評估元件老化程度。

- $I_{\text{sub}}$  與經由雪崩再生機制 (avalanche generation mechanism) 撞出的電子電洞對數量密切相關，而該數量正比於  $\exp(-B/E_{y,\text{max}})$ 。
  - 撞出之電子被汲極引出，使得  $I_D$  增加，另一部分電子則因能量足夠大而被注入氧化層中。
  - 撞出之電洞會進入基板中，造成  $I_{\text{sub}}$ ，此電流比  $I_D$  還要小，所以此現象又被稱為 low-level avalanche-multiplication effect。
- cf: 參考公式

$$\begin{aligned} I_{\text{sub}} &= 1.2 (V_{\text{DS}} - V_{\text{DS,sat}}) \cdot I_D \cdot \exp\left(-1.7 \times 10^6 / E_{y,\text{max}}\right) \\ &= 1.2 (V_{\text{DS}} - V_{\text{DS,sat}}) \cdot I_D \cdot \exp\left[-3.7 \times 10^5 \cdot t_{\text{ox}}^{1/3} \cdot r_j^{1/3} / (V_{\text{DS}} - V_{\text{DS,sat}})\right] \end{aligned}$$

Ref: T.Y. Chen, P.K. Ko, and C. Hu, IEEE Electron Dev. Letts, EDL-5, December 1984, p.505

- $\log I_{\text{sub}}$  對  $V_{\text{sub}}$  作之圖為鐘形曲線 (bell-shaped)，其最大值發生於較小的  $V_{\text{GS}}$  值 ( $\approx 0.4V_{\text{DS}}$ )，因為  $V_{\text{GS}} \uparrow$ ， $I_D \uparrow$ ，但  $E_{y,\text{max}} \downarrow$ ，所以有最大值。
- cf: Saturation region，假設  $r$  很小， $\delta \approx 0$ 。

$$I_D \approx \frac{W}{L} \cdot \mu_n \cdot C_{\text{ox}} \cdot \frac{(V_{\text{GS}} - V_T)^2}{2}$$

### §2.7.1 Models of Hot-Carrier Degradation Phenomena

※ 一般來說，hot-carrier effect 會造成閘極氧化層及/或 Si-SiO<sub>2</sub> 界面之負電荷增加，且隨時間漸增，造成 hot-carrier stress。

- 負電荷  $Q_{\text{tot}} \uparrow \Rightarrow V_T$  往正電壓移  $\Rightarrow$  對 n-channel 元件而言，其  $I_D \downarrow$  以及  $g_m \downarrow \Rightarrow$  電路操作速度  $\downarrow$ ，甚至無法正常工作。
- 經 hot-carrier stressing 後， $I_D$  減少；因為 hot-carrier-induced negative charges 主要位於靠近汲極之區域，所以將源極與汲極交換後，會發現  $I_D$  之衰退量較大，參考 Fig. (2.6)。
- 主要機制與界面能井再生機制 (interface-trap generation) 或是氧化層井電荷 (oxide-trapped charge) 有關，其中有較多的文獻指出「 $D_{\text{it}}$  之增加」為主要原因。而  $D_{\text{it}}$  之增加又主要與 hot-electron injection 有關係，參考 Fig. (2.7)。

#### ※2.7.1.1 Si-H Bond Breaking Model

※ 當  $V_{\text{GS}}$  小於  $V_{\text{DS}}$  時，hot electrons 撞擊 Si-SiO<sub>2</sub> 界面。若此時電子具有足夠之能量以克服 Si-SiO<sub>2</sub> 界面之位障及排斥場 (repelling field)，則有可能造成界面之化學鍵斷裂。

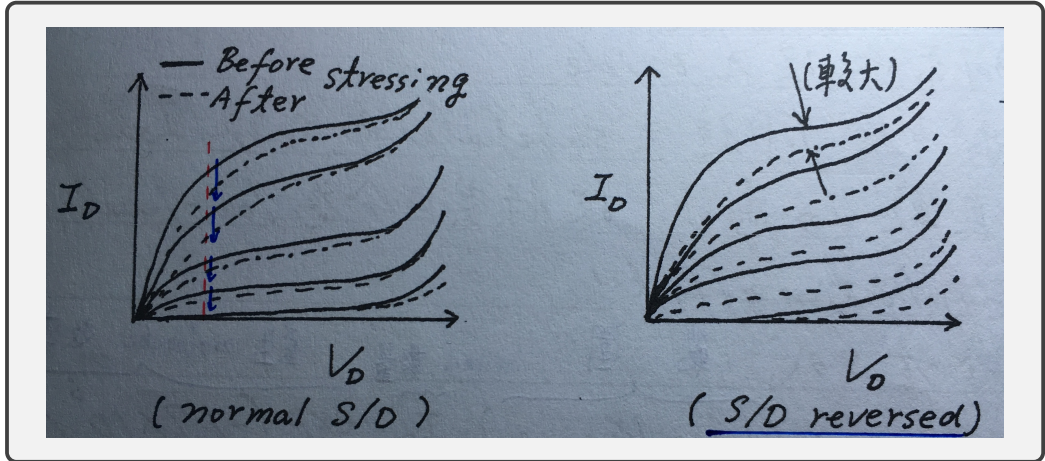


Figure 2.6: Normal and reverse S/D.

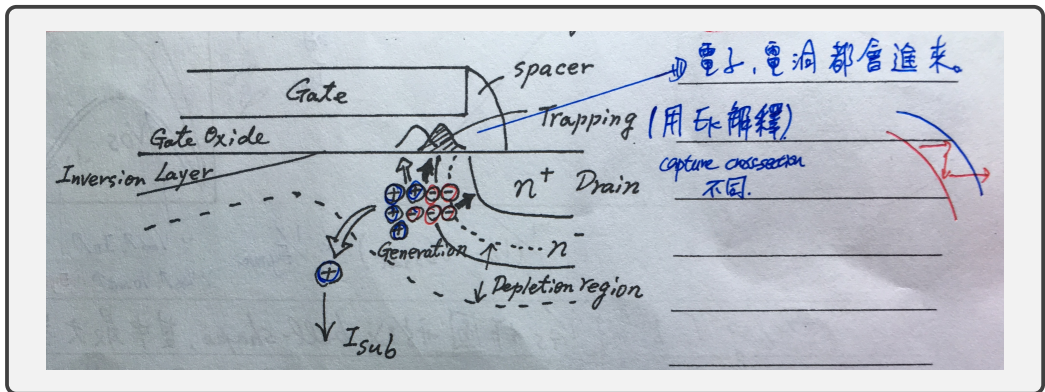


Figure 2.7: Illustration of hot carrier injection.

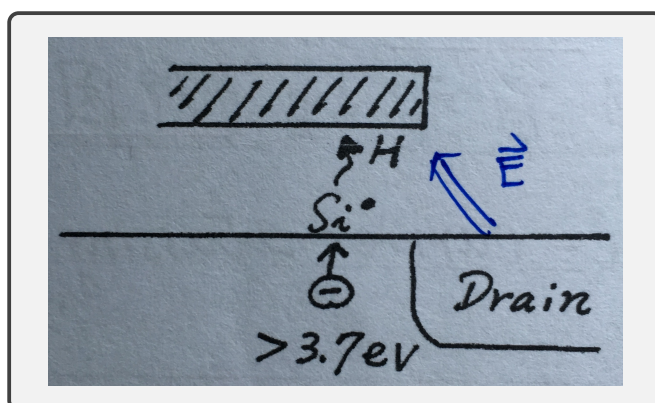


Figure 2.8: Si-H Bond breaking model.

→ 在界面上存在著許多 Si-H 鍵。通常可經由 Borophosphosilicate glass (BPSG) reflow (in stream)、CVD  $\text{Si}_3\text{N}_4$  或  $\text{H}_2$  (forming gas) 之 PMA 製程產生。

- Si-H 鍵能  $\approx 0.3 \text{ eV}$
- Si-SiO<sub>2</sub> 能障  $\approx 3.2 \text{ eV}$
- 當  $V_{GS}$  小於  $V_{DS}$  時，需另外考慮電子需要克服在電流路徑及界面間所面臨之延遲位能 (retarding potential)。

→ hot electron 需具有大約  $4.0 \text{ eV}$  之動能，如此才足以破壞化學鍵並形成界面能井 (interface trap)，參考 Fig. (2.8)。

→ 當 Si-H 鍵結斷裂後，剩下之三價矽原子 (trivalent Si atom) 即形成電子井 (electron trap)。而氫原子 (H) 被分離以釋放，矽原子則可填充一個電子，所以帶淨負電荷。

→ 時間越久，越多化學鍵斷裂，所以 Si-SiO<sub>2</sub> 累積越多負電荷。

\* 並沒有獲得本模型之直接證據！

Ref: C. Hu et al., IEEE Trans. Electron Dev., ED-32, February 1985, p.375.

### \*2.7.1.2 Hot-Hole and Hot-Electron Trapping Model

\* 涉及 hot holes 及 hot electrons。假設二氧化矽最初存在著  $N_t^0$  之中性能井 (neutral trapping centers)，並位於離界面約  $10 \text{ nm}$  範圍內。此能井只能捕捉電洞。在 hot-carrier stressing 時，hole trapping 使得能井帶正電， $N_t^+$ ，而此  $N_t^+$  即可再捕捉電子。

→  $N_t^+$  捕捉電子後，可能會有兩種結果：

1.  $N_t^+$  又回至中性狀態 (neutral)，密度記為  $N_{\text{the}}^0$

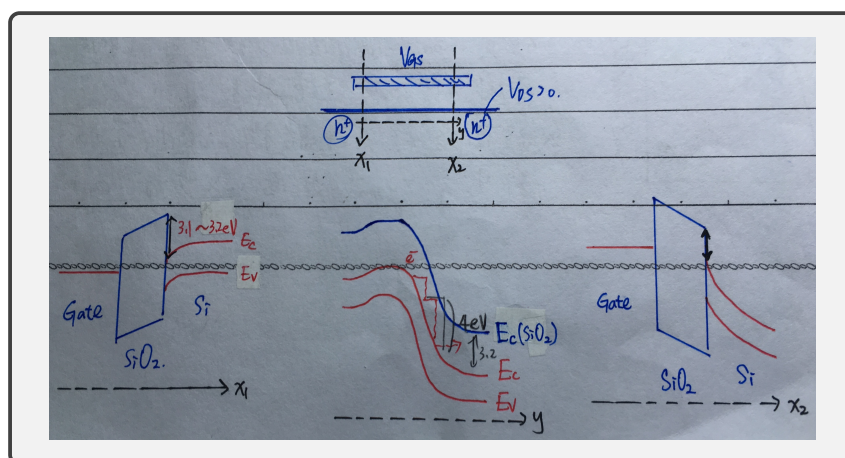


Figure 2.9: The way how electrons in channel get energy to overcome the Si-SiO<sub>2</sub> barrier.

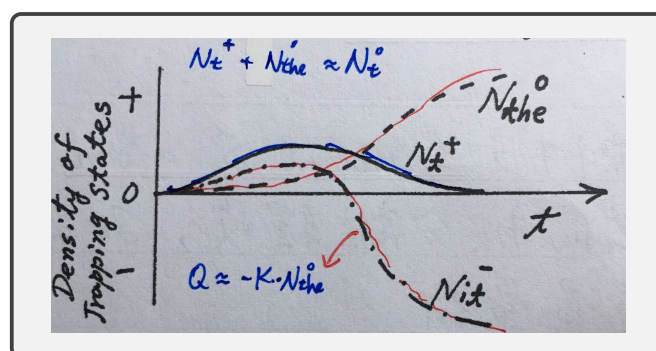


Figure 2.10: Hot-hole and hot-electron trapping model. Ref: K.R. Hoffmann et al., IEEE Trans. Electron Dev., ED-32, March 1985, p.691

2. 形成一種帶負電之界面能階 (interface state)，原因仍待探討。其密度記為  $N_{it}^-$ ，此即為 hot-carrier stressing 所觀察到之負電荷的產生現象。

解釋. 假設是由載子復合機制 (recombination) 產生界面能階 (interface state)，並於正偏壓下形成  $N_{it}^-$ 。

→ 最後，所有原先帶中性的能井 (neutral site)， $N_t^0$ ，均轉化成中性能井 (neutral sites,  $N_{the}^0$ ) 及界面能階 (interface state,  $N_{it}^-$ )，參考 Fig. (2.10)。

Ref: K.R. Hoffmann et al., IEEE Trans. Electron Dev., ED-32, March, 1985, p.691

解釋.

$$N_t^{\circ} = N_{\text{the}}^{\circ} + N_{\text{it}}^{-}$$

- ※ 不論哪個元件衰退模型，實驗發現  $V_T$  及  $g_m$  之衰退變化都是跟隨  $I_{\text{sub}}$  大小，所以監測  $I_{\text{sub}}$  相當於監測 hot-carrier effect！
- ※ 兩不同元件在不同偏壓下，雖然  $I_{\text{sub}}$  相同，但其撞擊游離（impact ionization）之位置可能不同，結果也就不同，所以需要注意其差異。
- ※ 經由各種元件結構設計，可降低元件中之  $E_{y,\text{max}}$ ，進而減少 hot-carrier effect。

## 2.8 Phosphorus-Drain Structure

- ※ 一般傳統 MOSFET 採用 (single) As drain，為了降低  $E_{y,\text{max}}$ ，必須設法形成 graded drain，因此，可將 As 改為 P 以作為 S/D 之摻質。
  - 又稱之為 (single) phosphorus drain MOSFET。
  - 利用 P 較大的擴散速率，使橫向汲極分佈範圍更廣，進而使得之後形成的 drain-channel junction 較寬，已降低  $E_{y,\text{max}}$ 。
  - 為了使源極與汲極之片電阻（sheet resistivity）足夠低，P 之佈植劑量須大於  $1 \times 10^{15} \text{ cm}^{-2}$ 。
  - 由於具有 graded phosphorus diffusion profile 及較深之源極、汲極界面深度， $I_{\text{sub}}$  遠低於 As-doped drain，大約小一個數量級。
  - 由於 P 摻雜之界面較深，所以難以避免短通道效應，使得此方法不適用於小於  $1.3 \mu\text{m}$  之 MOSFET。

## 2.9 DDD (Double-Diffused Drain)

- ※ 同時佈植兩種摻質，比如  $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$  的磷，以及  $5 \times 10^{15} \text{ cm}^{-2}$  的砷。經高溫擴散後，因為磷擴散得較快，濃度較低，而能夠「包」在砷區 ( $n^+$ ) 外圍，可有效降低橫向電場，參考 Fig. (2.11)。
- ※ 經由模擬可知，在 DDD 結構中之  $E_{y,\text{max}}$  顯著下降，參考 Fig. (2.12)。
  - 對於通道長度大於  $1.25 \mu\text{m}$  之元件，DDD 結構可以使  $I_{\text{sub}}$  減少 4 至 6 倍。
  - 由於 DDD 結構之  $n^-$  與  $n^+$  區之佈植均以閘極邊緣為相同的基準點，所以 graded-drain 程度僅由高溫退火步驟決定，使得元件特性與  $I_{\text{sub}}$  相當一致，得以準確控制製程。

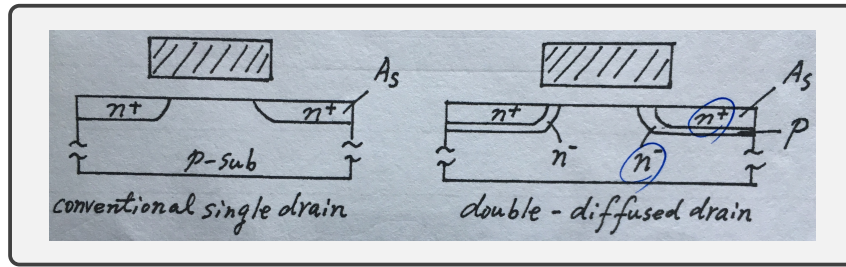


Figure 2.11: Double diffused drain structure.

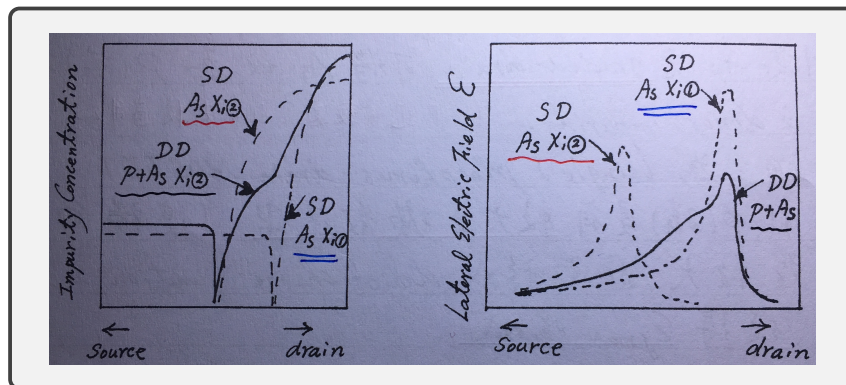


Figure 2.12: Simulation of electric field profile in DDD structure.



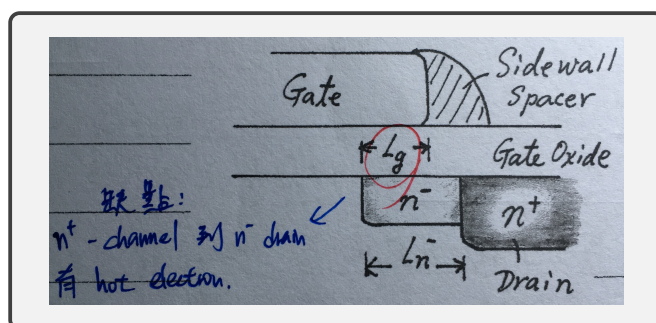


Figure 2.13:  $L_g$  為閘極重疊長度 (Gate overlap length)，與先前的閘極長度 (Gate length) 不同。此外，缺點是  $n^+$  通道及  $n^-$  汲極之間有高動能之電子 (hot electron)。

- DDD 結構若採用 long thermal treatment，那麼  $n^-$  的深擴散可降低  $E_{y,max}$ ，但卻會使元件出現 deep vertical phosphorus junction，產生顯著的短通道效應，所以不容易得到本結構的最佳  $n^-$  區長度參數。
- 太長時間之 drive-in 擴散也會使摻質重新分佈，有所不妥。

## 2.10 LDD (Lightly-Doped Drain)

※ 為經常用來降低  $E_{y,max}$  之技術，但仍須犧牲部分元件特性。採用兩次離子佈植，一次是以閘極為邊界，進行自對齊佈植 (self-aligned implant)，另一次則是在閘極兩側形成側壁 (sidewall spacer) 之後，再進行自對齊佈植。

- 第一次佈植是用以使汲極靠近閘極邊緣以及通道附近形成輕摻雜區域 (lightly doped region)。
- MOSFET 之驅動電流會因 LDD 結構之較低  $n^-$  電阻而減少。
- 模擬發現 LDD 結構可有效降低  $E_{y,max}$  30 ~ 40%，即大幅改善 hot-carrier effect。這時之  $E_{y,max}$  將位於閘極邊緣外圍，使得  $V_{GS}$  無法遮蔽  $E_{y,max}$ ，使得仍存在著 hot electron，參考 Fig. (2.14)。

### §2.10.1 $E_{y,max}$ 簡易求法

※ LDD 結構中的  $n^-$  壓降越大越好。假設在  $L_{n^-}$  區內之橫向電場約為定值，且最大電場記為  $E_{y,max}$ ，那麼可直接引用原先 non-LDD 結構

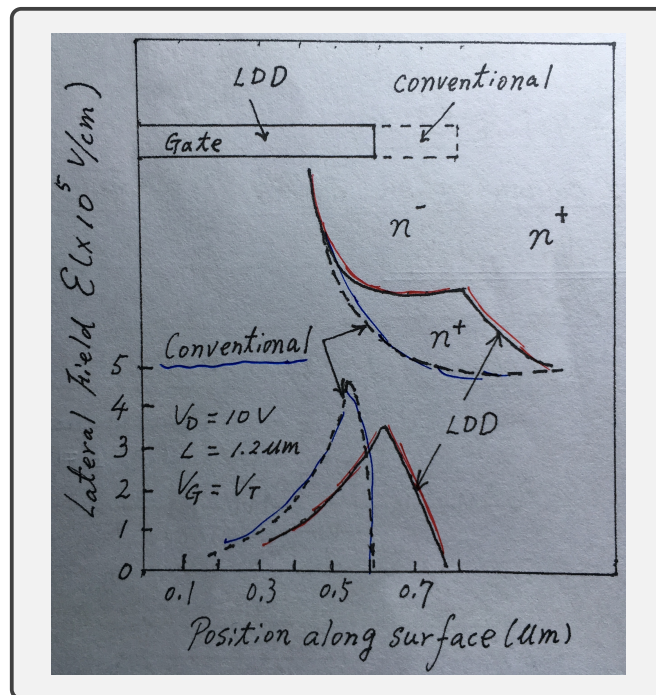


Figure 2.14: Ref: S. Ogura et al., IEEE Trans. Electron Dev., ED-27, 1980, p.1359

的公式，即：

$$\begin{aligned} E_{y,\max} &= \frac{V_{\text{DS}} - V_{\text{DS,sat}} - E_{y,\max} \cdot L_{n^-}}{0.22 \cdot t_{\text{ox}}^{1/3} \cdot r_j^{1/3}} \\ &\approx \frac{V_{\text{DS}} - V_{\text{DS,sat}}}{0.22 \cdot t_{\text{ox}}^{1/3} \cdot r_j^{1/3} + L_{n^-}} \\ &= \frac{V_{\text{DS}} - V_{\text{DS,sat}}}{l'} \end{aligned}$$

※ 此式表示  $V_{\text{DS}} - V_{\text{DS,sat}}$  電壓降不再只是降低在速度飽和區域 (velocity saturation region) 之有效長度 (effective length) 中 ( $l = 0.22 \cdot t_{\text{ox}}^{1/3} \cdot r_j^{1/3}$ )，而是降低在  $l' = l + L_{n^-}$  範圍內。

※ 實際上，位於  $L_{n^-}$  之電場不會是定值，所以上式中的  $E_{y,\max} \cdot L_{n^-}$  比實際值還要大，可再進一步修正之。

### §2.10.2 LDD 之 $n^-$ 區引起之串聯電阻 $R_{n^-}$

※ 假設  $n^-$  區之摻雜濃度為定值， $N_D$ ，即均勻摻雜：

$$R_{n^-} = \frac{L_{n^-}}{q\mu_n N_D \cdot r_j \cdot W}$$

其中  $W$  為元件寬度， $\mu_n$  為  $n^-$  區域內之電子遷移率 (electron mobility)，約  $800 \text{ cm}^2/\text{V} \cdot \text{sec}$ 。

→  $n^-$  區域之摻雜劑量較小，而  $Q_{n^-}$  越小， $R_{n^-}$  越大，所以電晶體之  $I_D$  會越小。

解釋. 構成  $N_{\text{it}}$  之 hot electrons 會在  $n^-$  區感應出電洞，使得  $n^-$  區之總電荷等效變小：

$$R_{n^-} \approx \frac{L_{n^-}}{qW\mu_n (Q_{n^-} - N_{\text{it}})}$$

其中， $N_D \cdot r_j \rightarrow (Q_{n^-} - N_{\text{it}})$ ， $Q_{n^-}$  與  $N_{\text{it}}$  之單位皆為  $\text{cm}^{-2}$ 。

### §2.10.3 LDD 基本製程步驟

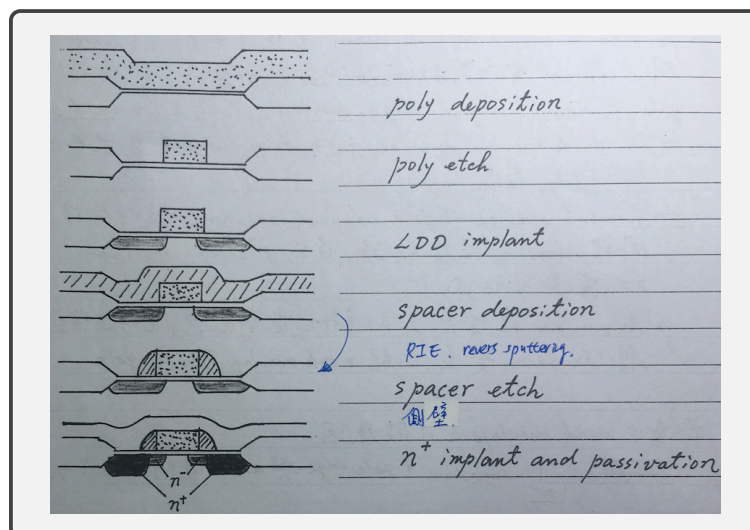


Figure 2.15: LDD 基本製程

※ LDD 之熱載子效應引起之  $N_{it}$  位置與傳統元件不同

- 傳統元件之  $N_{it}$  位於汲極邊緣、閘極下方，見圖 (2.16) 中之上圖。
- LDD 之  $N_{it}$  位於汲極電流路徑之上方，並在閘極邊緣之外圍（側壁區，spacer region），見圖 (2.16) 中之下圖。缺點是，hot electron degradation 效應嚴重， $n^-$  區之  $R_{sh} \uparrow$ ，參見 TS-20。

解釋. 所謂的「熱」載子效應，就是來自 impact ionization 導致的電子電洞對，進而提升 trapped charge，影響元件可靠度。雖然 LDD 之  $n^-$  區可有效下降  $E_{y,max}$ ，但卻不得不提升了電阻。

## 2.11 MOSFET 之源極與汲極間的重疊效應

※ 若電晶體之閘極邊緣與汲極之間有間隔 (gap)，那麼源極與汲極間之通道部分區域會落於此間隔中，該區可視為閘極與汲極間的 slight-edge-overlap，又稱為弱重疊 (weak overlap)。

- 弱重疊會造成元件之驅動電流與熱載子可靠度之衰退。
- 弱重疊區下方的通道較不受控於閘極偏壓，所以反轉程度較弱，使得  $n^-$  區域的片電阻  $R_{sh}$  上升，因而降低電流。
- 若增加重疊程度，那麼耦合電容會上升，元件之頻率響應或增益都會變差，也就是說，弱重疊反而可提高增益 (gain)。

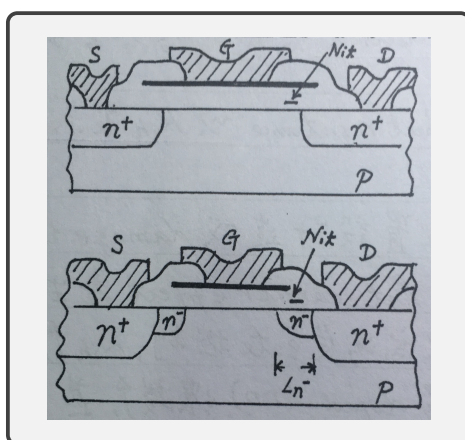


Figure 2.16: 上圖為傳統元件之熱載子效應，下圖為 LDD 結構元件之熱載子效應。

※ 產生弱重疊之可能原因：

1. Single drain：閘極邊緣與汲極間明顯存在著間隔。
2. GGO：漸進閘極氧化層（GGO, graded-gate oxide）或閘極鳥嘴（Gate bird's beak）出現在聚晶矽再氧化時（Poly re-oxidation），弱重疊將使耦合電容下降，提高增益（gain）。
3. LDD： $n^-$  區域之片電阻（sheet resistance）以  $R_{sh}$  表示。

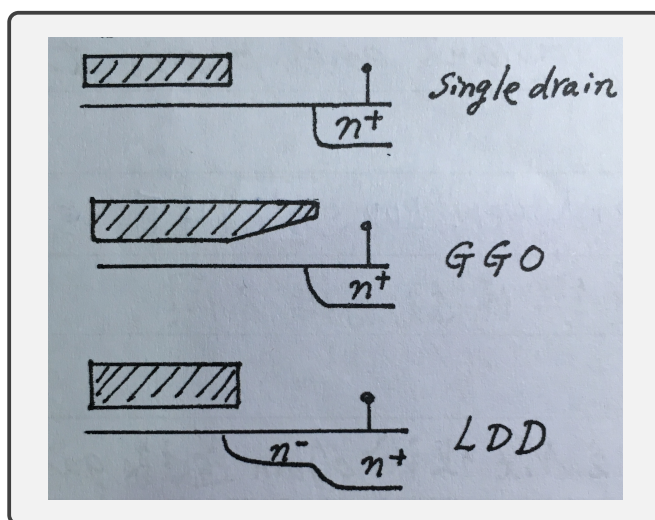


Figure 2.17: 三種可能的弱重疊原因，依序為 Single drain、GGO 與 LDD。

※ 早期 LDD ( $n^-$  及  $n^+$ ) 因  $E_{y,max}$  位置設計而使得側壁 (spacer region) 之閘極氧化層毀損，所以熱載子效應產生後，使得氧化層持續累積負

電荷，而  $n^-$  區域又不受閘極電壓控制，使得  $R_{sh}$  上升，電流因而下降。

→ 將 LDD 改為 M-LDD (moderately doped LDD)，使得濃度上升，甚至濃度提高為  $n^+$  (S/D extension)，減少熱載子效應造成的毀損。

## 2.12 M-LDD (Moderate Lightly-Doped Drain)

※ 將 LDD  $n^-$  區域之摻雜劑量提高。雖然這會使  $E_{y,max}$  之下降程度減小，但可以減緩熱載子效應造成的元件毀損，並提升驅動電流，也就是提高熱載子之元件可靠度。

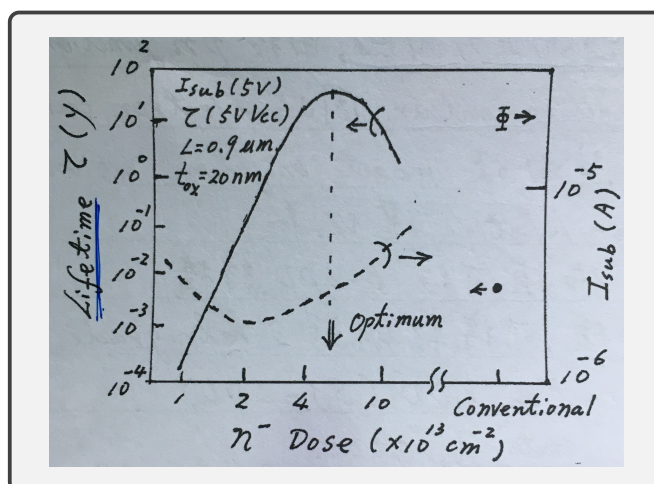


Figure 2.18: 傳統  $n^-$  劑量約為  $1 \times 10^{13} \text{ cm}^{-2}$ 。參考來源：M. Kinugawa et al., 1985 Symp. VLSI Tech., Dig. of Tech Papers, p.116

→ 以生命期 ( $\tau$ , Lifetime) 而言，最佳  $n^-$  摻雜濃度大約是  $5 \sim 6 \times 10^{13} \text{ cm}^{-2}$ ，參考圖 (2.18)，其生命期遠比傳統 LDD 的生命期還要大四至五個數量級。

※ 主要優點：

1.  $n^-$  區之  $R_{sh}$  遠比傳統 LDD 還要小，使得 M-LDD 電流較大。
2. M-LDD 之電流驅動較不受氧化層側壁厚度影響。
3. M-LDD 因  $n^-$  濃度較高，所以  $E_{y,max}$  位置移動到閘極之內側，所以在氧化層內側所引起的熱載子毀損區域也就位於閘極邊緣之內，而非 LDD 結構中的閘極邊緣重疊區域內，所以可有效改善熱載子毀損現象。
4. 雖然 M-LDD 之閘極與  $n^-$  區之重疊提高了耦合電容  $C_{gd}$ ，但在 digital ckt 應用上，對閘極延遲 (gate delay) 之影響並不大。

## 2.13 B-LDD (Buried LDD)

※ 利用較高能量之離子佈植 (e.g., 165 keV)，將 LDD 之  $n^-$  區佈植得較深一點，使其於鉛直方向上的濃度分佈有著漸退輪廓 (retrograde doping profile)，以調整通道/接面之外型，使得下方外凸而上方內凹，所以電流密度分佈將往下移動，使得撞擊游離區 (impact ionization region) 遠離表面，以改善熱載子生命期 (hot-carrier lifetime)。

- 文獻上，採用 As 佈植可得到 B-LDD 結構。
- 若採用 P 佈植，則可得較明顯之漸退分佈，又稱為 sloped-junction LDD (SJ-LDD)。

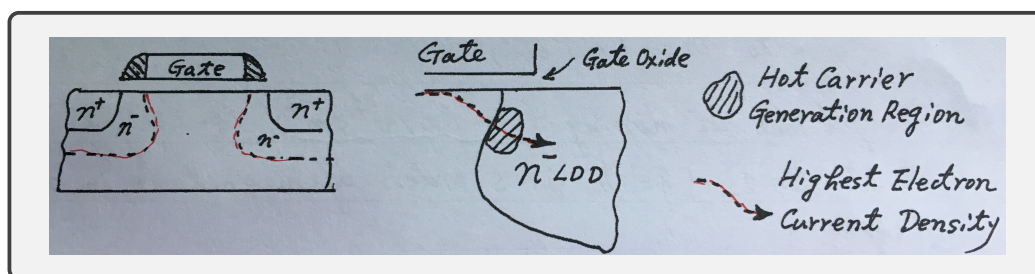


Figure 2.19: Illustration of Buried LDD.

※ 若結合傳統的磷的輕摻雜汲極 (light P conventional LDD) 與深的砷埋摻雜 (deep As B-LDD)，依序進行這兩種佈植，則可同時提高表面濃度及得到漸退濃度輪廓，也就可得到更好的熱載子阻抗 (hot-carrier resistance)，稱之為 graded-buried LDD (GB-LDD)。

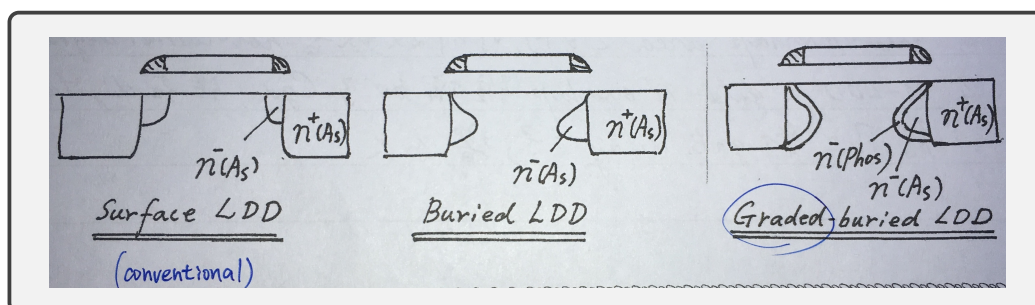


Figure 2.20: Illustration of Graded-buried LDD.

## 2.14 P-LDD (Profiled LDD)

※ 若 Buried-LDD 之佈植區域太深，則將使得  $n^-$  區之表面濃度太低，進而提高汲極的雜散電阻，減少元件壽命。雖然 GB-LDD 可改善

LDD，但可利用極淺的 moderately doped  $n^-$  區佈植（例：As @ 50 keV），並配合較深的漸退  $n^-$  區佈植（例：P @  $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$  及大於 150 keV 之佈植動能），以優化元件，得到更好的 LDD 效果。

- 淺佈植 As 可增加表面濃度，減少電流群聚（current crowding）引起的 S/D 電阻（resistance）。
- 兩次佈植後，需再進行高溫退火，使磷較砷有較大的橫向擴散。
- 氧化層側壁（oxide spacer）形成後，需要再給予  $n^+$  之 S/D 離子佈植。

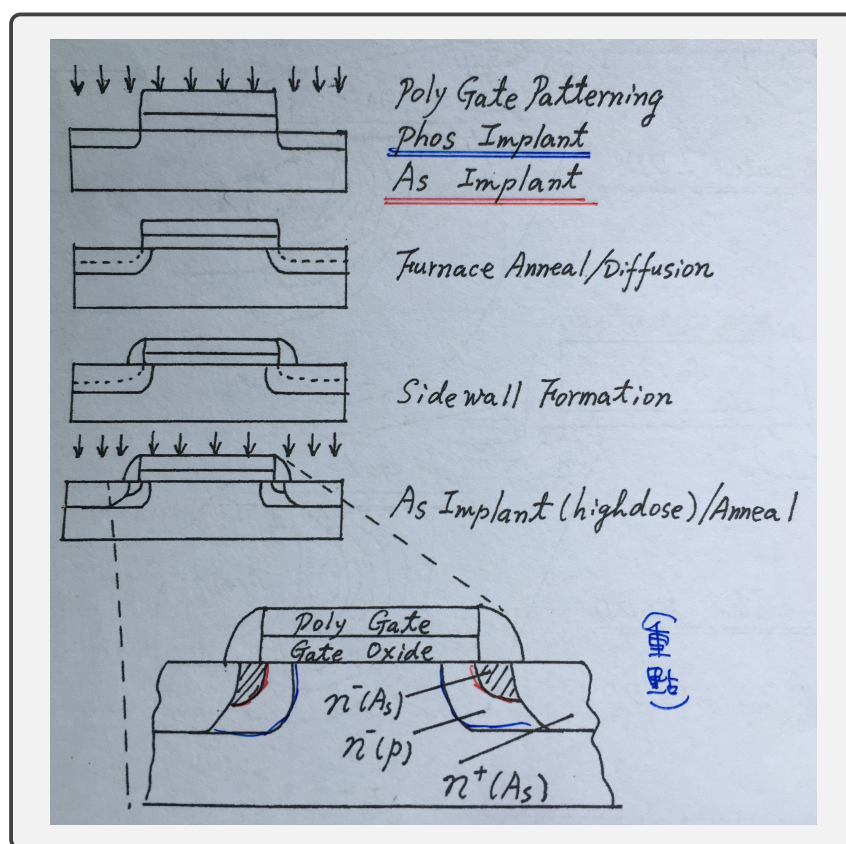


Figure 2.21: Illustration of Profiled LDD.

解釋.

## 2.15 Metal-coated LDD

- \* 在電晶體 Salicide (self-aligned silicide) 製程中，對於聚晶矽閘極與源極、汲極露出的矽，經由金屬沈積及加溫處理後，可自行對準而形成



金屬矽化物（即 Silicide，如  $TiSi_2$ ）。而在側壁上之金屬則不會形成金屬矽化物。儘管如此，仍須避免源極與汲極之金屬矽化物沿著側壁爬升到與聚晶矽閘極上以造成短路現象。這相當於在源極與汲極處鍍上金屬，可有效降低片電阻  $R_{sh}$ 。

→ 在 M-LDD 上加上金屬矽化物，稱為 Metal-coated MLDD。

→ 在 P-LDD 上加上金屬矽化物，稱為 Metal-coated PLDD。

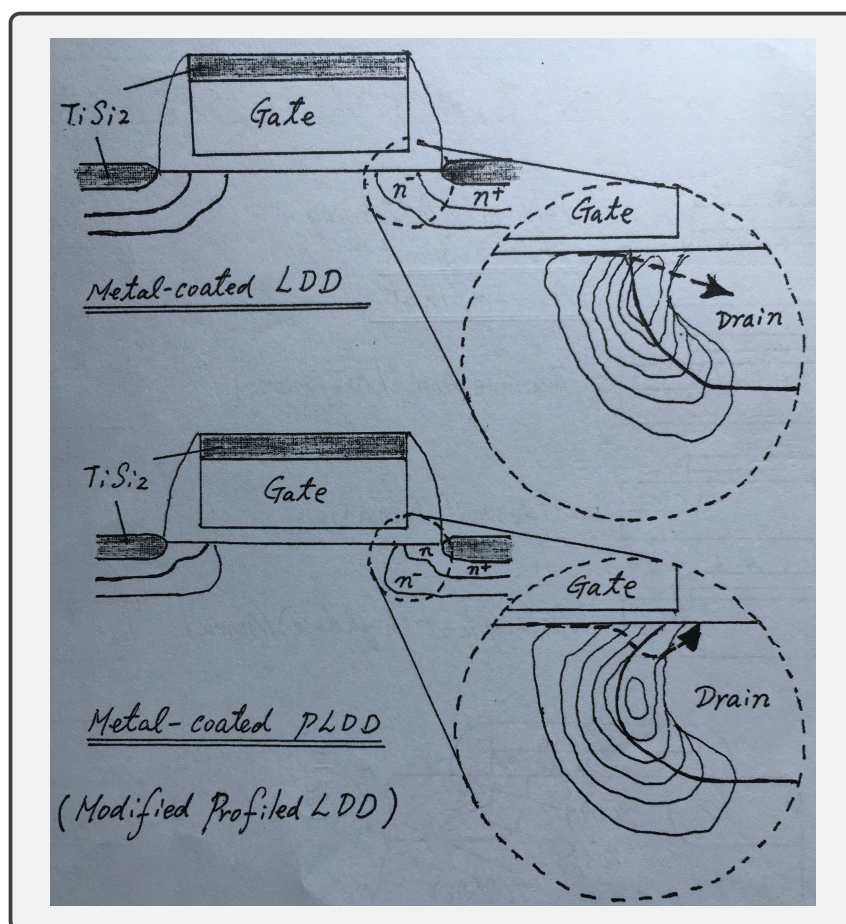


Figure 2.22: Illustration of Metal-coated LDD.

## 2.16 IT-LDD (Inverse-T Gate LDD)

\* 屬於 fully overlapped LDD 結構，使閘極與  $n^-$  區重疊，目的在於減少熱載子效應，不過  $n^-$  區又不宜擴散太深，以免短通道效應過於嚴重。

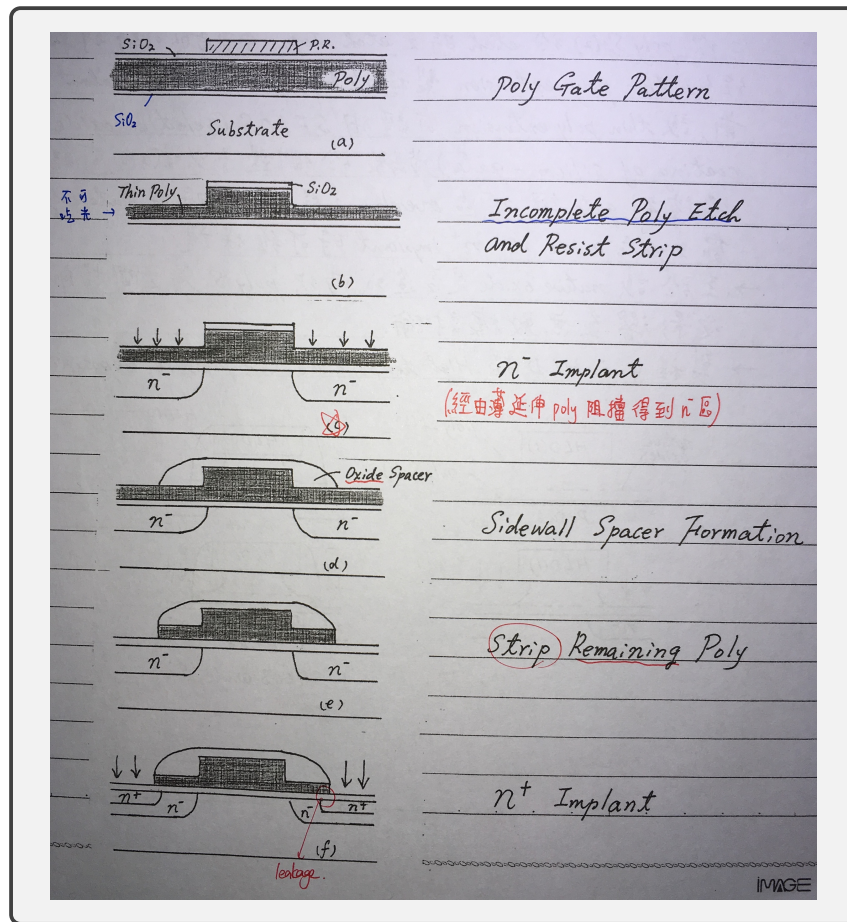


Figure 2.23: Illustration of Inverse-T Gate LDD.

解釋。

## 2.17 GOLD (Gate-Drain Overlapped LDD)

※ 類似 IT-LDD 結構，但是分兩次沈積聚晶矽閘極薄膜。第一次沈積後，將其置於氧氣環境，使表面形成約  $5 \sim 10 \text{ \AA}$  的氧化物 (native oxide)。該氧化物可作為第二次沈積物於蝕刻時的阻擋層 (etch stop)，此步驟可得到較佳的 thin poly extension 製程控制。同時，在  $n^+$  離子佈植之前，此 thin poly extension 可經由 SELOS (selective oxide coating of silicon-gate) 步驟於側邊進行氧化，產生 SELOS 氧化層，可藉此控制閘極與  $n^-$  區之重疊程度，以及保護閘極邊緣處之閘極氧化物，防止其在  $n^+$  離子佈植製程中受摻雜，提高漏電流 (需與教授確認)。

- 尚無數據討論該原生化層 (native oxide) 對該兩層聚晶矽之間的接觸造成的影響。
- 製程中的 HLD 是指高溫低壓沉積 (High-temperature Low-pressure Deposition)。

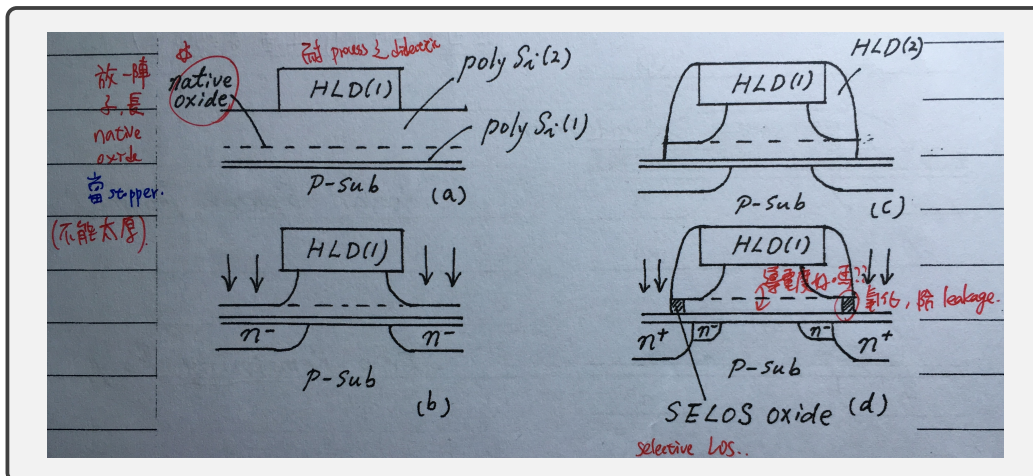


Figure 2.24: Illustration of GOLD(Gate-Drain Overlapped LDD).

解釋.

## 2.18 IT-FOLD (Inverse-T Gate Fully Overlapped LDD)

※ 屬於 IT-LDD 之改良版。在兩層 poly layer 之間的 etch stop layer，將先前 GOLD 結構中採用的 native oxide，改為較穩健的熱氧化物 (thermal oxide)，其厚度約 40Å，或者是 PVD TiN 薄膜，在 RIE 時，該膜層對聚晶矽有著很好的選擇比 (selectivity)。

- 較容易控制 poly extension 的厚度。
- 除了 TiN 製程以外，在熱氧化物製程中，需要再沉積薄的聚晶矽，約 300Å，為上下兩層聚晶矽 (initial poly stack) 建立更好的電性連結。

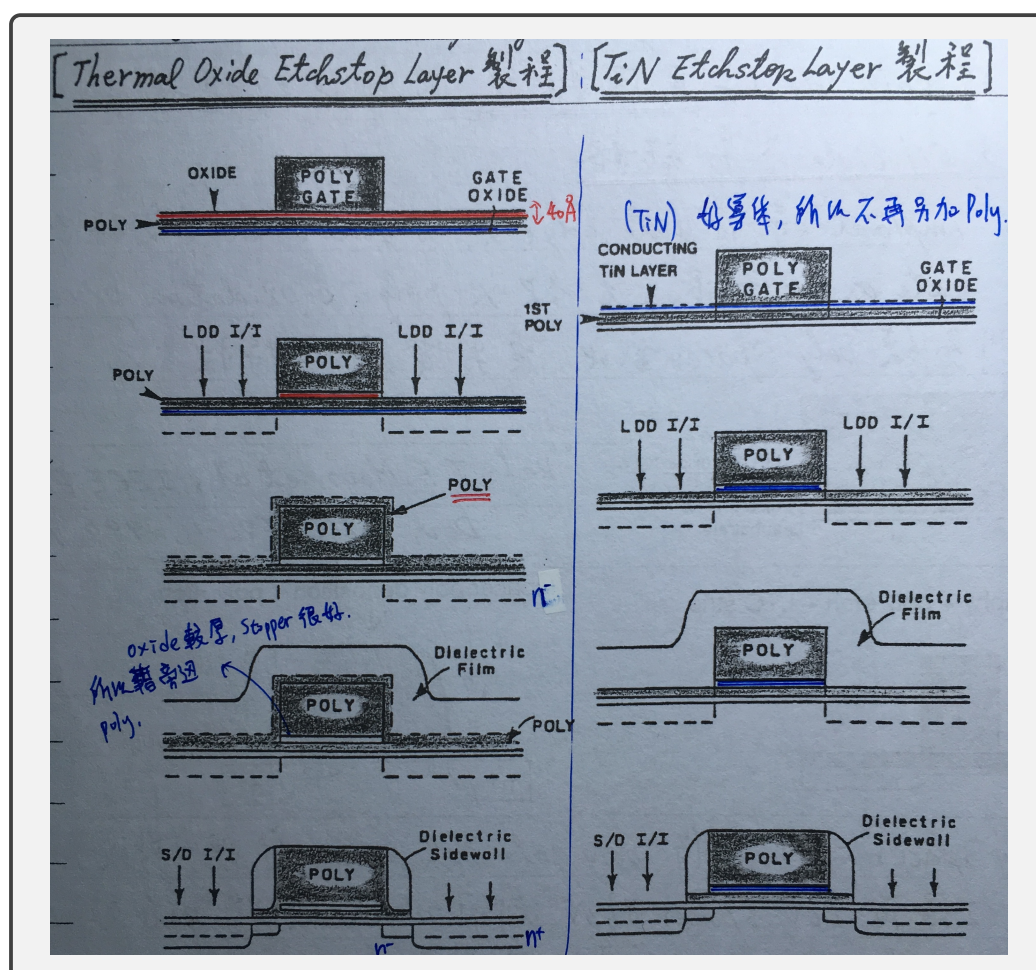


Figure 2.25: Illustration of IT-FOLD (Inverse T Gate Fully Overlapped LDD). Ref: D.S. Wen et al., Tech. Dig. IEDM, 1989, p.765

解釋。

## 2.19 TOPS (Total Overlap with Polysilicon Spacer)

- \* 與 FOLD 結構類似，但將熱氧化層 (thermal oxide etch stop layer) 改為  $100\text{\AA}$  之 CVD 氧化層 (oxide layer)。在聚晶矽倒 T 型閘極之上層 (top poly inverse-T gate) 蝕刻結束後，將外側 CVD 氧化層 (oxide etch stop layer) 去除，並於側壁 (spacer) 形成時，將原先常用的氧化層側壁 (oxide spacer) 改為聚晶矽側壁 (poly spacer)，可有效連接上下兩層之聚晶矽閘極。

2.19. TOPS (TOTAL OVERLAP WITH POLYSILICON SPACER) 71

- 不容易進行 Salicide 製程，因為此結構沒有氧化層側壁，所以源極與汲極之金屬矽化物容易（與閘極）短路。
- 在  $n^+$  離子佈植時，閘極邊緣處之氧化物並未受保護，所以容易造成閘極氧化物損壞。若想要以聚晶矽再氧化製程（Poly re-oxidation process）改善，那麼需要讓聚晶矽側壁（poly spacer）氧化，使其喪失導電特性。

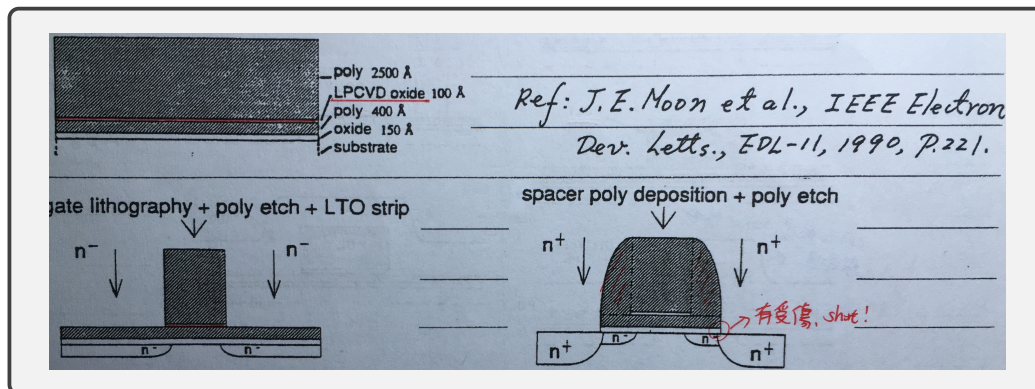


Figure 2.26: Illustration of TOPS (Total Overlap with Polysilicon Spacer) process. Ref: J.E. Moon et al., IEEE Electron Dev. Letts., EDL-11, 1990, p.221.

\* 若在製作聚晶矽側壁之前，先將聚晶矽閘極再氧化（re-oxidation），形成氧化墊（oxide-padded），然後再製作聚晶矽側壁，利用  $n^+$  佈植將閘極與聚晶矽側壁之間的薄熱氧化物（thin thermal oxide）予以導電連接（需更進一步確認）。

- 又稱為 Damaged Re-ox layer fully overlapped structure。

Ref: L.-C. Chen, C.C. Wei, and C. W. Teng, IEEE Electron Dev. Letts., EDL-11, 1990, p.78.

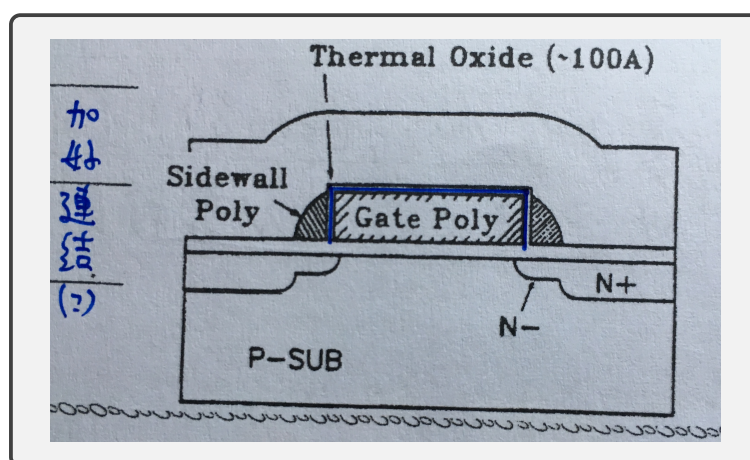


Figure 2.27: Illustration of the thermal oxide of TOS process.

解釋.

## 2.20 L-Shaped Spacers

\* 聚晶矽閘極予以沈澱後，將外圍氧化保護，再沈積聚晶矽，再沈積已摻雜的 glass，經 RSE Spacer etching 後，於外側形成 L-Si Spacer。

- 該 L-Si spacer 與 main gate 是經由  $\text{TiSi}_2$  strap 於金屬矽化物行程時，兩者相連接。
- 為了避免閘極與源極、汲極在金屬矽化反應時短路，需要在 L 型側壁上形成氮化物側壁 (nitride spacer)，亦即本結構可進行 Salicide 製程整合。

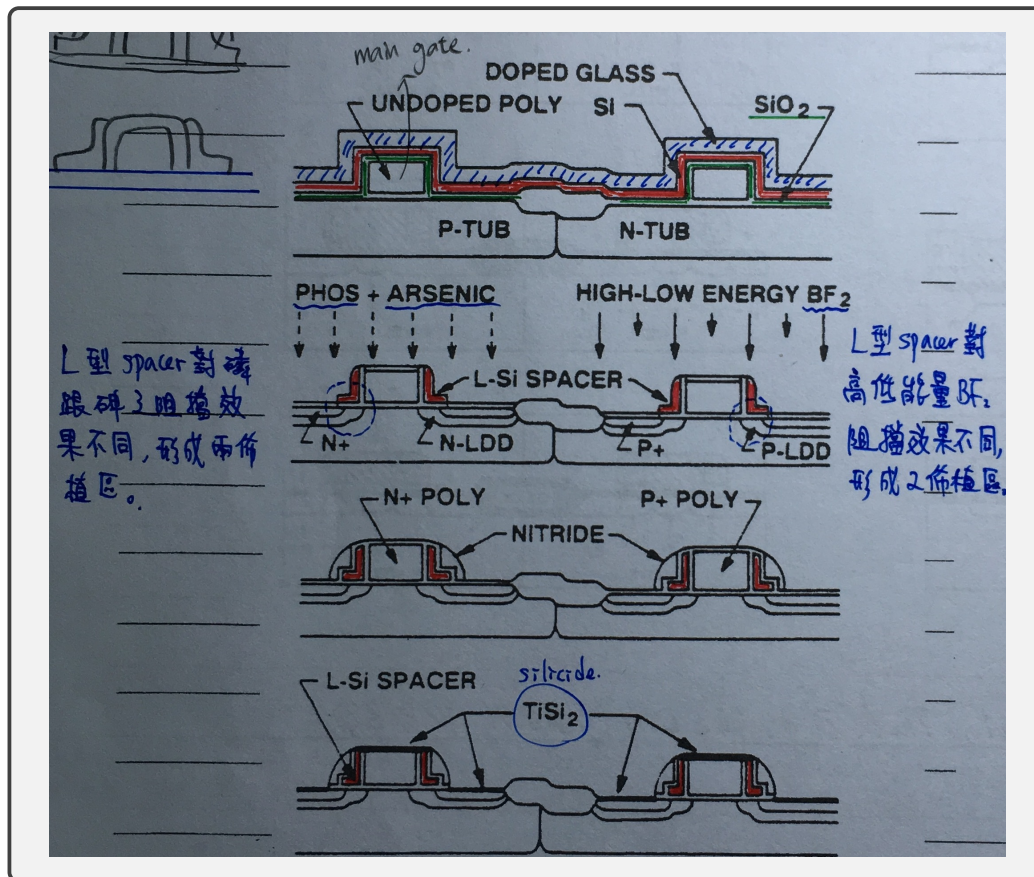


Figure 2.28: Illustration of the L-shaped spacer process. Ref: M. CHen et al., Tech. Dig. IEDM, 1990, p.829.

解釋。

## 2.21 Self-aligned IT-LDD

\* 主要開極 (main gate) 之聚晶矽採用選擇沈積 (selective deposition) 為之，而通道摻質只在開極正下方引入，不會在其他地方出現。

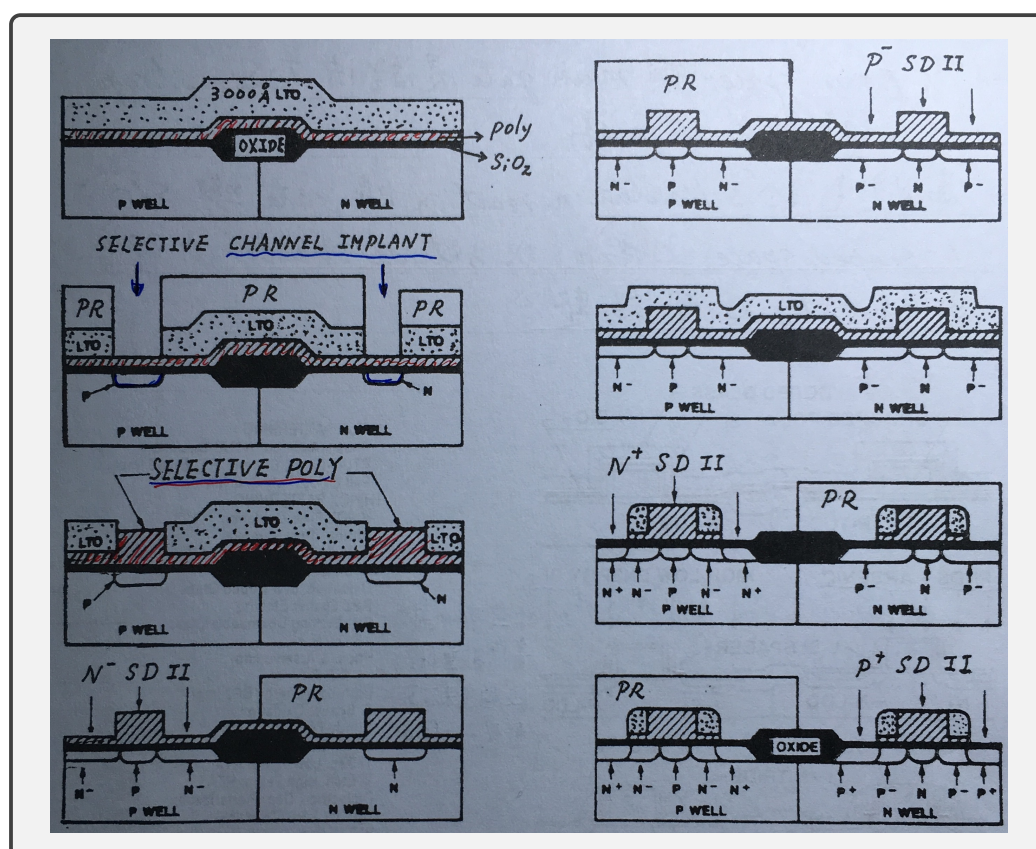


Figure 2.29: Illustration of the Self-Aligned IT-LDD process. Ref: J.R. Pfister et al., Tech. Dig. IEDM, 1989, p.769.

解釋.

## 2.22 LATID (Large-Angle-Tilt Implanted Drain)

※ 利用大角度傾斜佈植技術，達到 fully overlapped drain 之目的，製程較簡單且適合次微米元件使用。

→ 在離子佈植時，方向予以大角度傾斜，同時旋轉目標晶圓 (target wafer)，不需移離佈植平台。



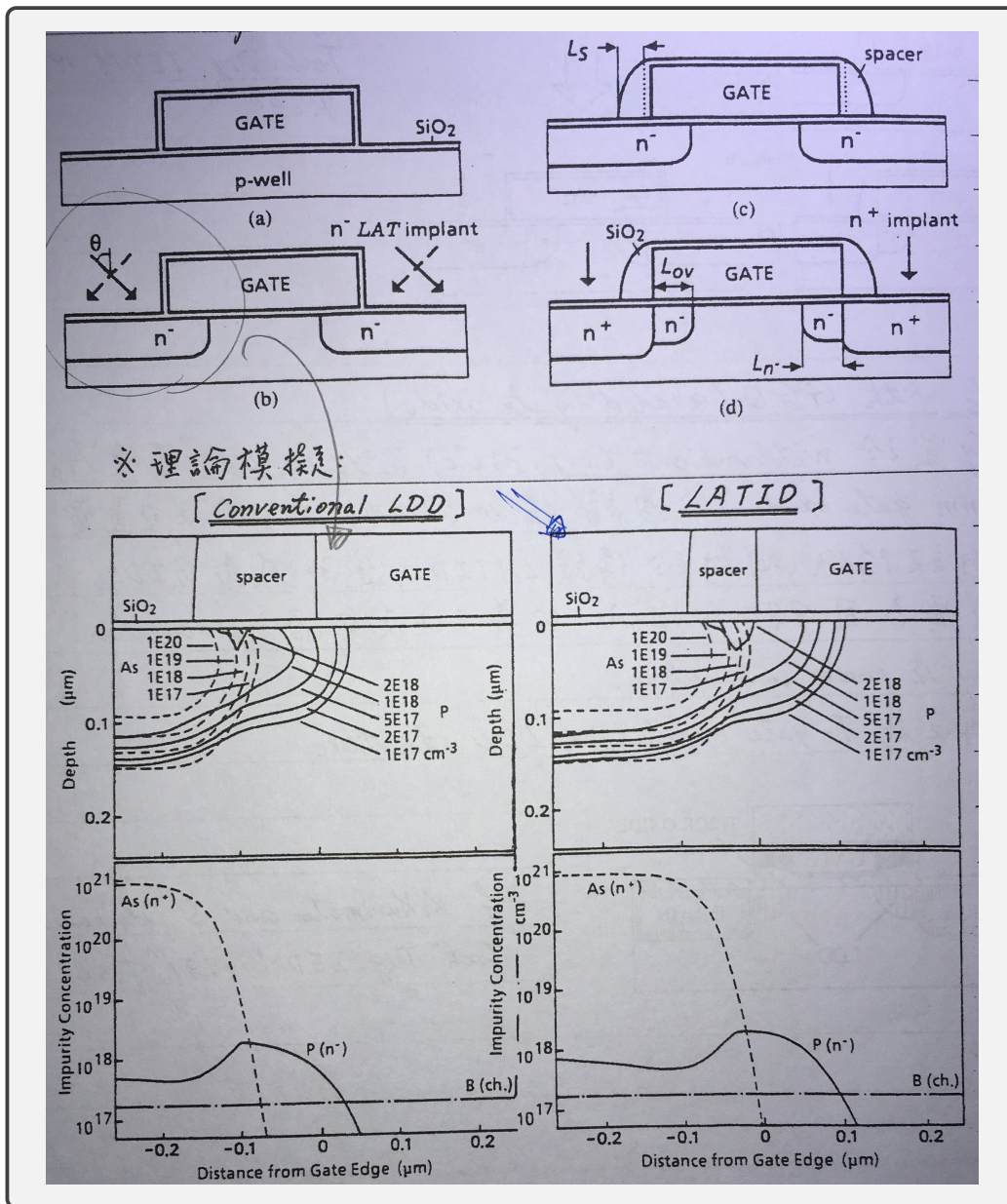


Figure 2.30: Illustration of the LATID (Large-Angle-Tilt Implanted Drain) process. Ref: T. Hori et al., Tech. Dig. IEDM, 1989, p.777. & T. Hori et al., IEEE Trans. Electron Dev., ED-39, 1992, p.2312.

## 2.23 No Spacer LATID

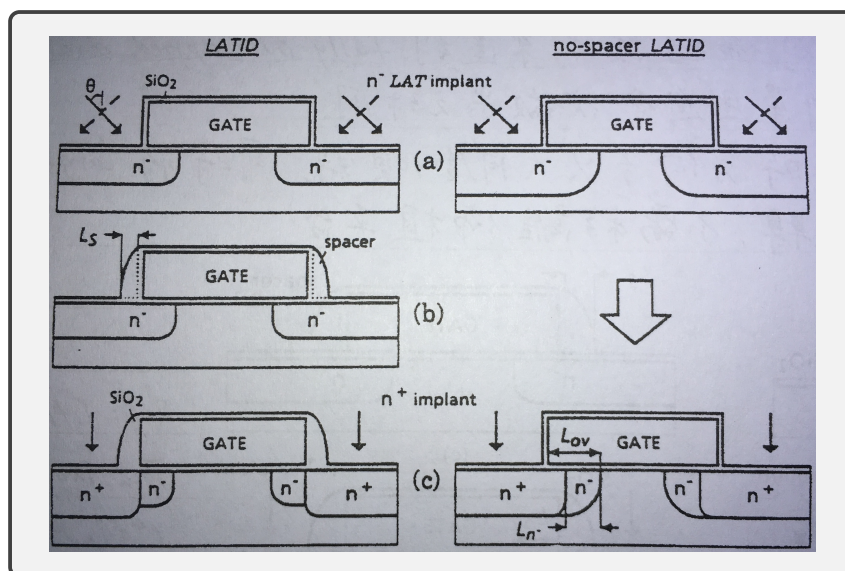


Figure 2.31: Illustration of the No Spacer LATID process. Ref: T. Hori et al., Tech. Dig. IEDM, 1992, p.699.

解釋.

## 2.24 LATID with GGO (graded-gate oxide)

\* 將聚晶矽置於潮濕環境中，溫度約 850°C 以將其氧化，可使原先 7-nm 閘極氧化層於邊緣處增加約 25 nm，與傳統 LATID 相比，此結構可有效降低閘極處之鉛直電場，進而減少 GIDL。

→  $C_{gd}$  電容因 GGO 而減少，改善了元件及電路之傳遞延遲 (propagation delay) 以及能量損耗 (power consumption)。

→ 又被稱為 T-gate overlapped LDD structure。

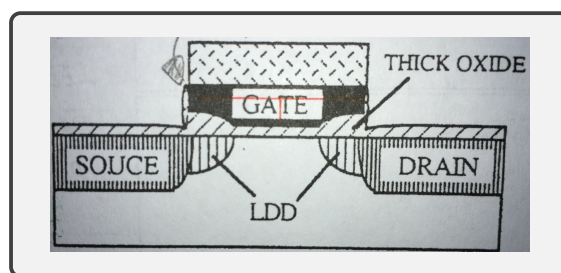


Figure 2.32: Illustration of the LATID with GGO (graded-gate oxide) process. Ref: K. Kurinoto and S. Odanaka, Tech. Dig. IEDM, 1991, p.541.

解釋.

## 2.25 H-LDD (High-Dielectric Spacer LDD)

\* 將氧化層側壁 (oxide spacer) 改為具較高介電常數的材料 (如： $\text{Si}_3\text{N}_4$ ， $\epsilon = 7.5\epsilon_0$ ； $\text{Ta}_2\text{O}_5$ ， $\epsilon = 30\epsilon_0$ )。利用強化之閘極邊際電場效應 (GF, gate fringing field)，可提高閘極與  $n^-$  區之耦合程度，達到 fully overlapped LDD 之效果。

- 若沒有聚晶矽側壁 (poly sidewall) 及側壁底部的氧化層 (Spacer-bottom oxide)，而是直接以  $\text{Si}_3\text{N}_4$  作為側壁 (spacer)，那麼因為  $\text{Si}/\text{Si}_3\text{N}_4$  界面含有大量界面能階 (interface states)，所以這種結構的熱載子阻抗 (hot-carrier resistance) 會比較差。
- 閘極邊際場效應 (GF effect) 能有效降低結構損耗 (structural degradation effect)，即傳統結構因側壁氧化層——spacer oxide——內負電荷漸增，使得  $n^-$  區逐漸空乏，進而使片電阻  $R_{sh}$  增加， $I_D$  受熱載子應力 (hot-carrier stress) 之變化量也因而減少。
- 閘極邊際場效應使高汲極偏壓邊緣 (high drain potential edge) 往汲極  $n^+$  區移動，使得  $E_{y,max}$  降低，因而降低撞擊游離速率 (impact ionization rate)。
- 閘極邊際場效應增加源極  $n^-$  區之鉛直電場，提高電子濃度，減少寄生電阻 (parasitic resistance)，增加  $g_m$ ，也就增加了電晶體的 drive-current capability。

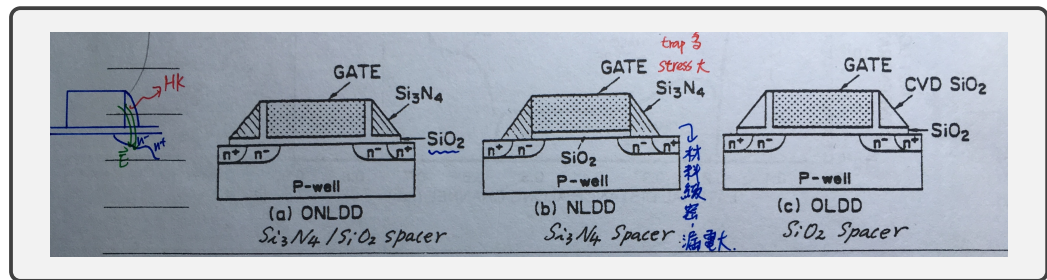


Figure 2.33: Illustration of H-LDD (high-Dielectric Spacer LDD). Ref: T. Mizuno et al., Tech. Dig. IEDM, 1988, p.234.

解釋。

## 2.26 HS-GOLD (Halo-Source Gate-Overlapped Drain)

※ 屬於不對稱的 MOSFET 結構 (asymmetrical MOSFET)。在汲極端採用 GOLD 結構，而在源極採用 Halo implant punchthrough stopper 結構 (Halo Source-HS)。

→ 經由如此的非對稱設計，可兼顧擊穿阻抗 (punchthrough resistance) 以及提高熱載子可靠度 (hot carrier capability)。

→ 因為只有汲極具有輕摻雜 (lightly doped drain)，所以寄生串聯電阻 (parasitic series resistance) 以及閘極重疊電容 (gate overlap capacitance) 比對稱型 MOSFET 還要小。

→ 缺點：電路 (circuit layout) 較複雜。

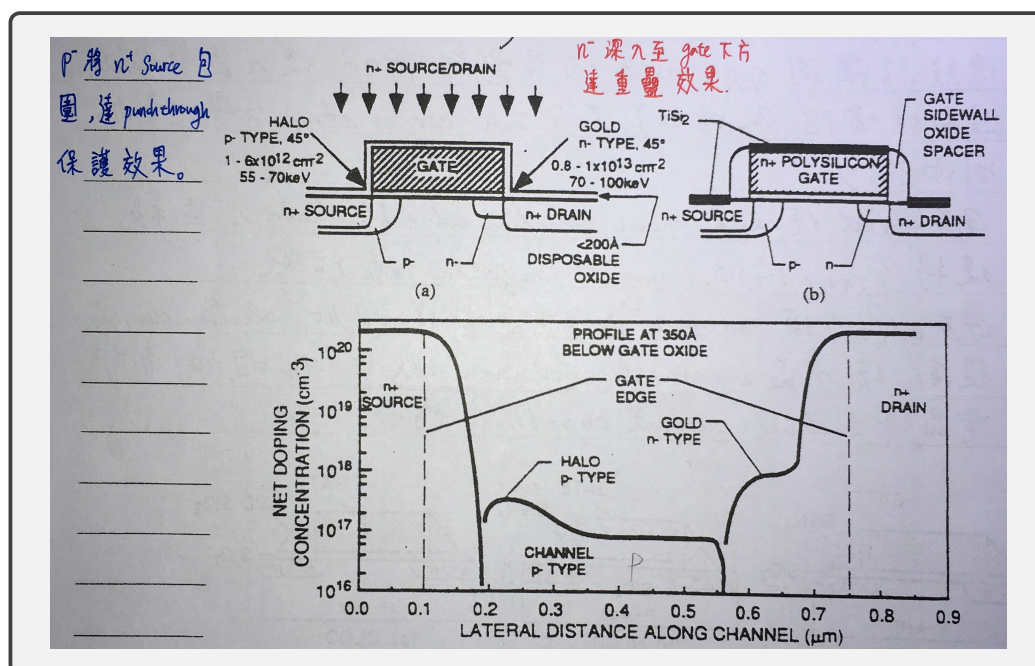


Figure 2.34: Illustration of HS-GOLD (Halo-Source Gate-Overlapped Drain). Ref: T. Buti et al., Tech. Dig. IEDM, 1989, p.617.

解釋。

## 2.27 HEIP (Hot-Electron Induced Punchthrough)

※ 對 P-MOSFET 而言，熱電子捕捉 (hot electron trapping) 造成汲極旁之氧化物累積負電荷，其終究會使 n 型基板表面近汲極處產生反轉層，參考圖 (2.35)，相當於  $p^+$  汲極區向外延伸，使得等效通道長度 ( $L_{\text{eff}}$ , effective channel length) 變短。

- 對於 buried-channel PMOS 元件而言， $L_{\text{eff}}$  縮小得更加嚴重，使得源極—汲極間更易發生擊穿現象，即  $V_{\text{pt}} \downarrow$ 。此外，subthreshold leakage 也會增加，也就是 cut-off 特性變差。
- 當電子被氧化層捕捉後 (trapped)，P-MOS 之閘極電場會因此下降，電子到氧化層後就比較不容易飄移 (drift) 至閘極，甚至會被排斥回矽基板，所以上述現象會達到飽和。

解釋。

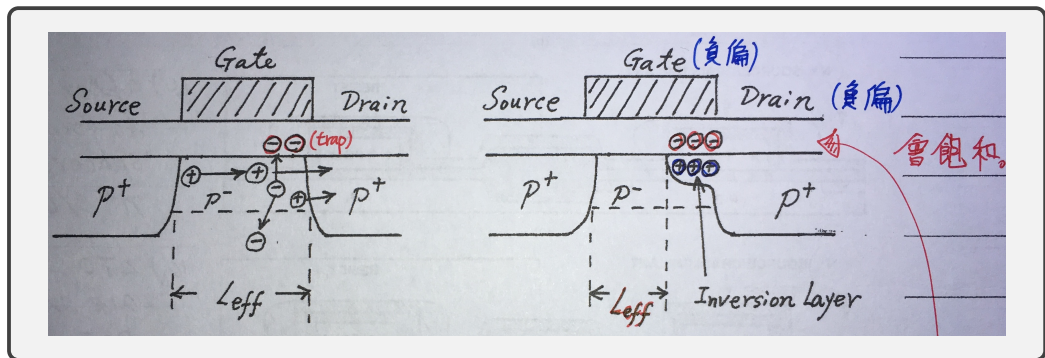


Figure 2.35: Illustration of HEIP (Hot-Electron Induced Punchthrough).

## 2.28 Disposable Spacers

### §2.28.1 Disposable Oxide-Sidewall-Spacer Process

\* 先  $n^+$ ，再  $n^-$ ，次序顛倒。

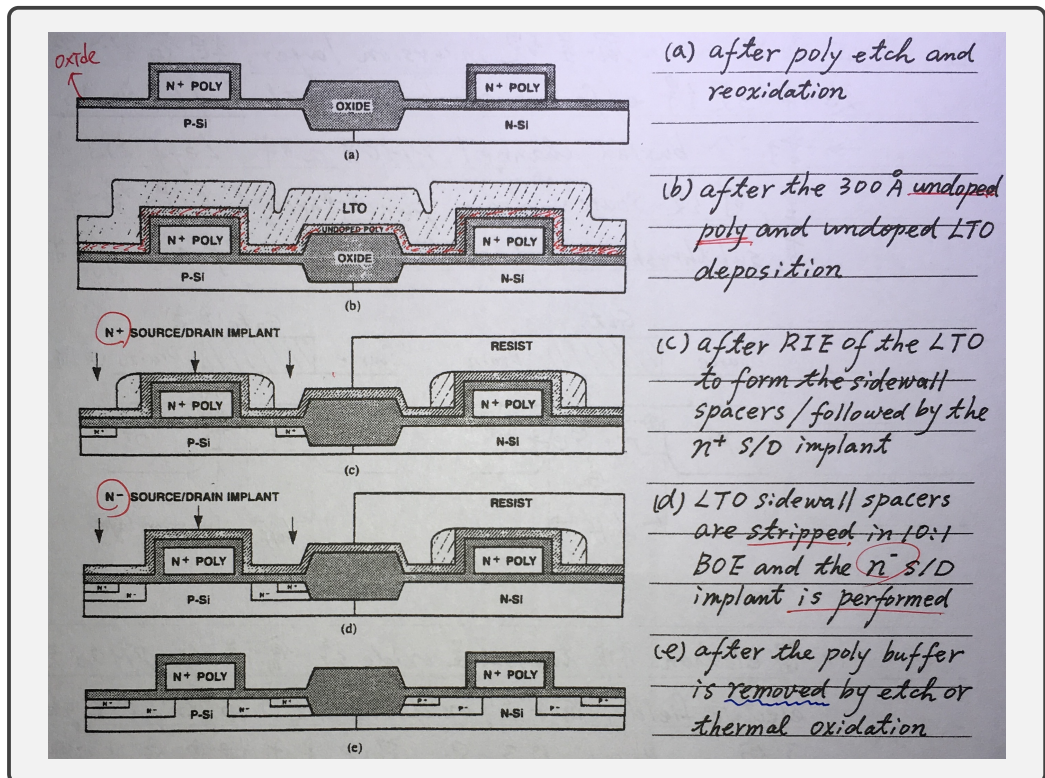


Figure 2.36: Illustration of Disposable Oxide-Sidewall-Spacer Process. Ref: J.R. Pfister et al., IEEE Electron Dev. Letts., EDL-9, 1988, p.189.

- 未摻雜聚晶矽是所謂的緩稱層 (buffer layer)，最後會被移除。
- LTO sidewall spacer 是可被移除的。

解釋。

### §2.28.2 Disposable Polysilicon Spacer Process

\* 先  $n^+$ ，再  $n^-$ 。

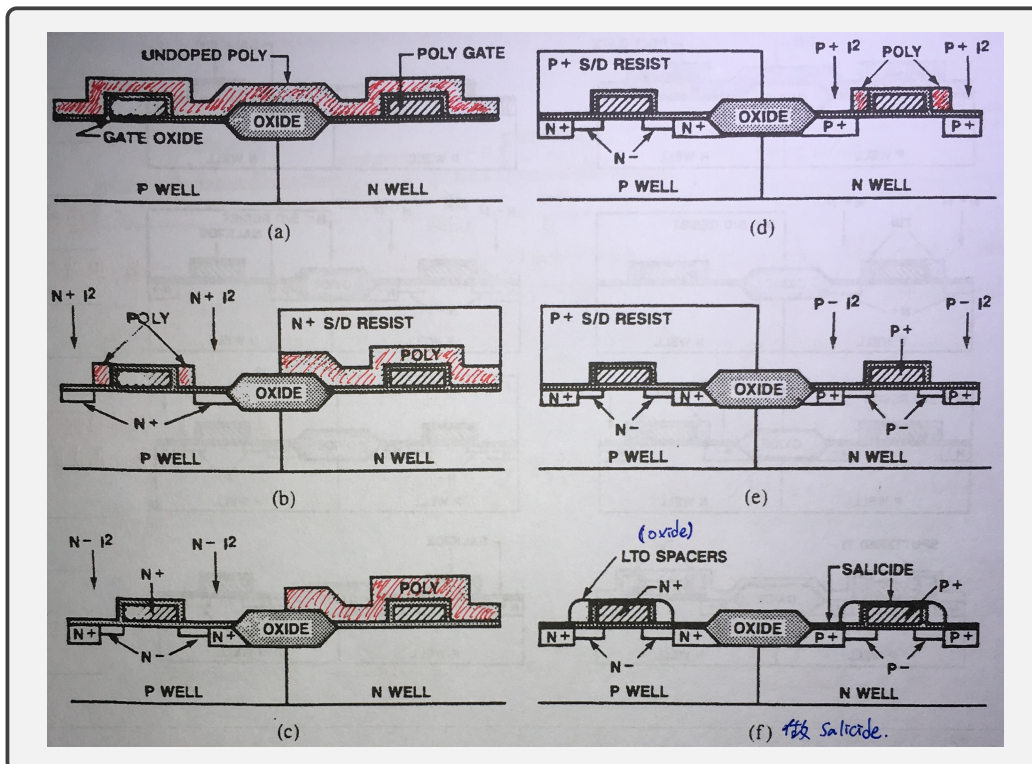


Figure 2.37: Illustration of Polysilicon Spacer Process. Ref: L.C. Parrillo et al., IEEE Trans. Electron Dev., ED-38, p.1991, p.39.

解釋。

§2.28.3 Disposable TiN Spacer Process

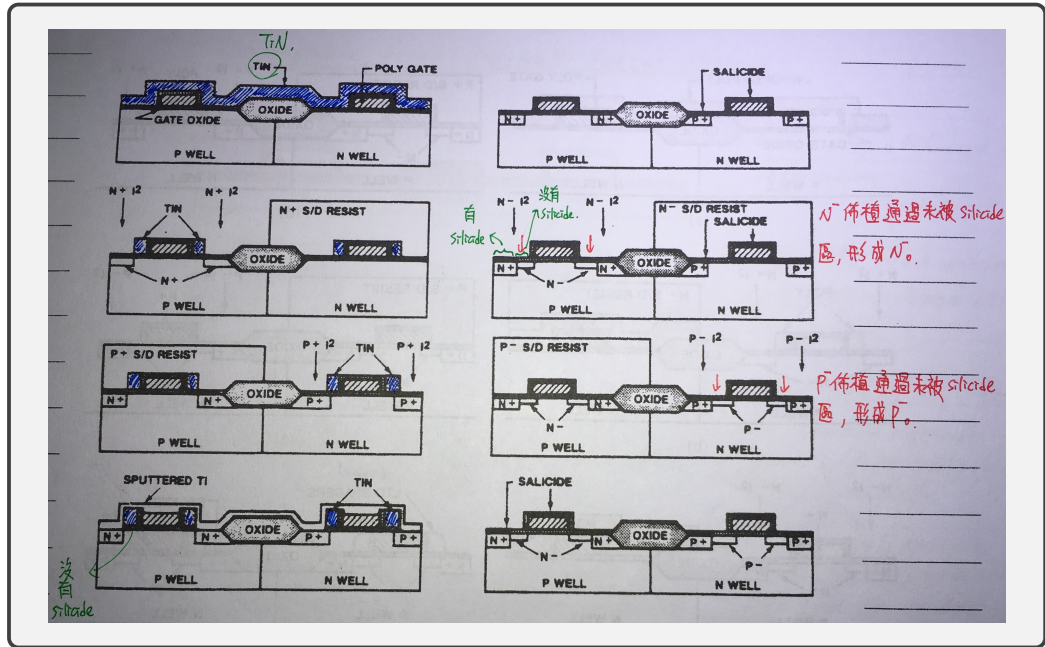


Figure 2.38: Illustration of TiN Spacer Process. Ref: J.R. Pfister et al., Tech. Dig. IEDM, 1989, p.781.

解釋.



## 3

# 氧化層生長及穩定度

Ref: T. Hori, "Gate Dielectrics and MOS ULSI-Principles, Technologies, and Applications," Chap. 4, Thermally Grown Silicon Oxide, 1997, Springer

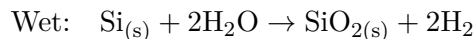
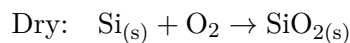
Ref: S. Wolf, "Silicon Processing for the VLSI Era" volume 3 - The Submicron MOSFET (Lattice Press)

### 3.1 生長機制模型與技術

\* 生長前需予以 RCA clean，含三步驟：

- 1).  $\text{NH}_4\text{OH}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$  移走有機污染物 (organic contamination) →  $\text{NH}_4\text{OH}$  溶解作用， $\text{H}_2\text{O}_2$  氧化作用
- 2).  $\text{HF}-\text{H}_2\text{O}$  移走氧化層
- 3).  $\text{HCl}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$  移走金屬雜質 (metallic impurities)，同時避免已移走的離子形成可溶性複合物後再回置表面。

#### §3.1.1 矽的氧化機制



\* 氧化劑 (Oxidant) 可為  $\text{O}_2$  或  $\text{H}_2\text{O}$ 。

##### \*3.1.1.1 Deal-Grove model

Since a volume expansion arises from the difference in density and molecular weight between Si and  $\text{SiO}_2$ , it can be calculated that growth of an oxide with the thickness  $d$  will consume a layer of silicon of about  $0.45d$  (Fig.(3.1)). For the oxidizing species to reach the Si- $\text{SiO}_2$  interface, they must go through three consecutive steps:

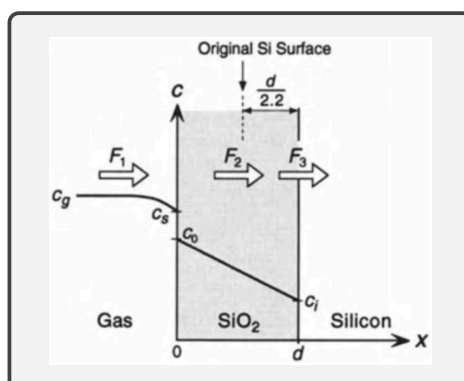


Figure 3.1: Basic model for the thermal oxidation of silicon.

1. They are transported from the bulk of the gas phase to the oxide-gas interface with the flux  $F_1$ .
2. they diffuse across the growing oxide layer toward the silicon substrate with the flux  $F_2$ .
3. they react with the silicon atoms at the Si-SiO<sub>2</sub> interface with the flux  $F_3$ .

— From T. Hori

$$\begin{aligned}
 F_1 &= D_{\text{gas}} \frac{C_g - C_s}{\delta} \\
 &= \left( \frac{D_{\text{gas}}}{\delta} \right) (C_g - C_s) \\
 &= h_g (C_g - C_s) \\
 &= h_s (C^* - C_0)
 \end{aligned}$$

其中， $C_g$  與  $C_s$  分別為氣體內部與靠近表面之氧化劑濃度。而  $h_s$ 、 $C^*$ 、 $C_0$  則為在 SiO<sub>2</sub> 中，相同通量 (flux) 時的等效  $h$  值與濃度。

→  $C^*$  與  $P_g$  (氧化劑之分壓) 有關。

→  $C_g = \frac{n}{V} = \frac{P_g}{kT}$  以及  $C_0 = H \cdot P_g = HkTC_g$ ，其中  $H$  為亨利氣體常數 (Henry's law)

→  $h_g$  為氣相質傳係數。

$$F_2 = D(C_0 - C_i)/d$$

其中， $D$  為  $\text{SiO}_2$  中氧化劑之擴散係數， $C_i$  則為氧化劑在二氧化矽中，靠近  $\text{SiO}_2/\text{Si}$  界面之濃度。

$$F_3 = K_s C_i$$

其中， $K_s$  為氧化反應速率。最後，當系統達穩定時， $F \equiv F_1 = F_2 = F_3$ ，因此可得：

$$F = \frac{C^*}{1/K_s + 1/h_s + d/D} = N_1 \cdot \frac{\partial d}{\partial t} \quad (\#/ \text{sec} \cdot \text{cm}^2)$$

其中， $N_1$  為含入單位體積  $\text{SiO}_2$  中之氧化劑分子數。對氧氣  $\text{O}_2$  而言， $N_1 = 2.2 \times 10^{22} \text{ cm}^{-3}$ ，而對水  $\text{H}_2\text{O}$  而言， $N_1 = 2 \times 2.2 \times 10^{22} \text{ cm}^{-3}$ 。最後可以得到厚度隨時間的關係：

$$d^2 + Ad = B(t + \tau)$$

其中， $A \equiv 2D(1/K_s + 1/h_s)$ ， $B \equiv 2DC^*/N_1$  以及  $\tau$  定義為成長初始氧化層厚度所需的等效時間。而計算初始厚度等效成長時間的方法就是代入初始厚度  $d_i$ ：

$$d_i^2 + Ad_i = B(\tau + 0) \quad \Rightarrow \quad \tau = \frac{d_i^2 + Ad_i}{B}$$

*Proof.*

$$F_2 = F_3 \quad \Leftrightarrow \quad D \frac{C_0 - C_i}{d} = K_s C_i$$

$$\Leftrightarrow \quad C_i = \frac{DC_0}{d \cdot K_s + D}$$

$$\Leftrightarrow \quad F_2 = F_3 = \frac{K_s \cdot D \cdot C_0}{d \cdot K_s + D}$$

$$F_1 = F_3 \quad \Leftrightarrow \quad h_s (C^* - C_0) = \frac{K_s \cdot D \cdot C_0}{d \cdot K_s + D}$$

$$\Leftrightarrow \quad C_0 = \frac{h_s \cdot C^* \cdot \left( \frac{d}{D} + \frac{1}{K_s} \right)}{1 + h_s \left( \frac{d}{D} + \frac{1}{K_s} \right)}$$

$$\Leftrightarrow \quad F_1 = \frac{C^*}{1/K_s + 1/h_s + d/D} = F$$

因為  $F \equiv N_1 \cdot \frac{\partial d}{\partial t}$ ，所以：

$$\begin{aligned} \frac{C^*}{N_1} \int_{-\tau}^t dt' &= \int_0^d \left( \frac{1}{K_s} + \frac{1}{h_s} + \frac{x}{D} \right) dx \\ &= \frac{d}{K_s} + \frac{d}{h_s} + \frac{d^2}{2D} \end{aligned}$$

因此，

$$d^2 + 2D \underbrace{\left( \frac{1}{K_s} + \frac{1}{h_s} \right)}_A d = \underbrace{\frac{2D \cdot C^*}{N_1}}_B (t + \tau)$$

最後可得：

$$d^2 + Ad = B(t - \tau)$$

□

對於  $d^2 + Ad = B(t + \tau)$ ，我們可以解出  $d(t)$ ：

$$\begin{aligned} d &= \frac{-A + \sqrt{A^2 + 4B(t + \tau)}}{2} \\ &= \frac{-A}{2} + \frac{A}{2} \sqrt{1 + \frac{4B}{A^2}(t + \tau)} \end{aligned}$$

也就是說，

$$\frac{d}{A/2} = -1 + \sqrt{1 + \frac{t + \tau}{A^2/4B}}$$

因此，我們可考慮兩極端情形，對於極長的氧化時間（long oxidation times）， $t \gg A^2/4B$ ，可以得到拋物線關係式（parabolic relationship）：

$$t \gg \frac{A^2}{4B} \Rightarrow d^2 \approx Bt$$

其中  $B$  此時被稱為拋物率（parabolic rate constant），與  $D$  有關係。而對於極短的氧化時間（short oxidation times）， $(t + \tau) \ll A^2/4B$ ，可以到線性關係式（linear relationship）：

$$t + \tau \ll \frac{A^2}{4B} \Rightarrow d \approx \frac{B}{A}(t + \tau)$$

其中  $B/A$  被稱為線性率（linear rate constant），與  $D$  無關：

$$\frac{B}{A} = \frac{2DC^*/N_1}{2D(1/K_s + 1/h_s)} = \frac{C^*K_s h_s}{N_1(h_s + K_s)}$$

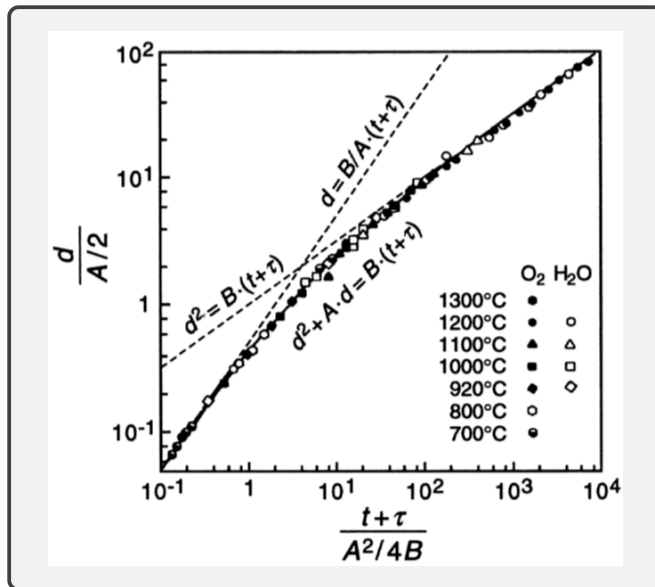


Figure 3.2: General relationship for the silicon oxidation and its two limiting forms.

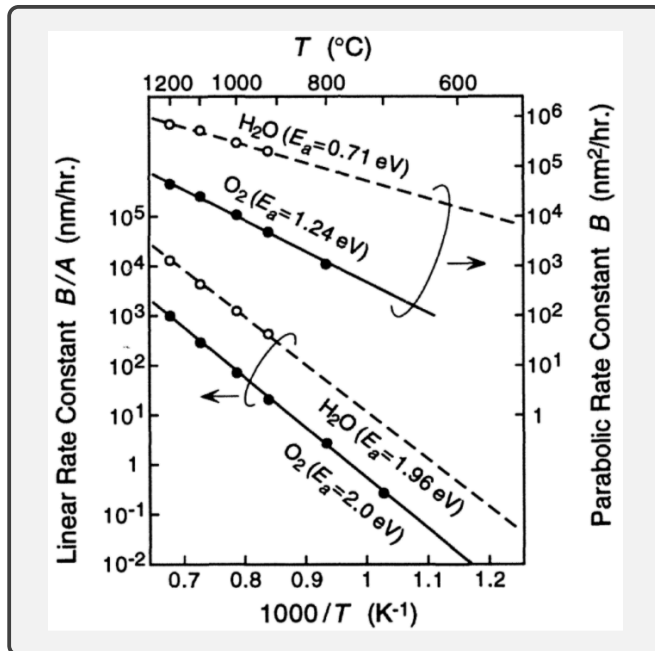


Figure 3.3: Temperature dependence of linear and parabolic rate constants for wet and dry oxidations of silicon.

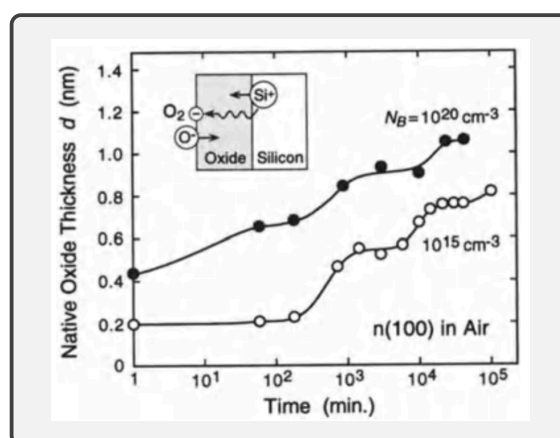


Figure 3.4: Native-oxide thickness versus exposure time of wafers to air (42% relative humidity) at room temperature. The inset illustrates the Cabrera-Mott model explaining the native-oxide growth.

\*  $\text{H}_2\text{O}$  在  $\text{SiO}_2$  內擴散較快，活化能  $E_a$  較小。因為  $B$  與  $D$  有關係，而  $\text{H}_2\text{O}$  與  $\text{O}_2$  之  $E_a$  不同，即  $D$  不同，所以兩者之  $B$  常數跟溫度的關係並不相同。

\*  $B/A = C^* / [N_1 (1/K_s + 1/h_s)]$  與  $D$  無關，而與  $K_s$  有關，又不論  $\text{O}_2$  與  $\text{H}_2\text{O}$ ，其  $K_s$  對溫度的官砂相同，所以  $E_a$  相近。

\* 現象觀察：

1. 對於薄氧化層 ( $d < 10 \text{ nm}$ )，dry oxidation 之速率比理論為快，而 wet oxidation 與理論較為一致。
2. 高濃度摻雜的矽，表面缺陷較多， $K_s \uparrow$ ， $K_s$  並非常數，其線性率 ( $B/A$ ) 較大。
3. two-dimensional effect：在不平整表面上，會有 oxidation enhancement 與 local thinning effect。
4. 出現 native oxides。

### \*3.1.1.2 Cabrera-Mott model

\* 電子由矽基板穿隧至表面，將氧游離成氧離子  $\text{O}^-$ ，建立電位降，促使氧化劑離子  $\text{O}^-$  較快速飄移 (drift) 至界面，生長出 native oxide。

\* 在一開始時，經 pre-oxidation cleaning (HF dip +  $\text{H}_2\text{O}$  rinse) 即已有氧化層

\* 可觀察到，厚度  $d$  隨著時間階梯式地增加 (stepwise)，即 layer-by-layer。

※ 薄氧化層生長可能涉及的機制：(enhanced oxidation)

1. 由電場引起之較快速的氧化劑擴散 (oxidant) 與空乏區電荷效應 (space-charge effects) 有關。
2. 氧分子能輕易地從微孔隙 (micropores, 直徑約  $10\text{\AA}$ ) 擴散進入。
3. Stress effect, 提高擴散係數。
4. 在矽表面, 氧化劑於薄氧化層時, 仍有著較大的溶解度, 生長速率較快。
5. Massoud 等人提出, 表面存在著一層具有較多反應位置 (reaction site) 的薄反應層 (thin surface layer)。該反應點 (site) 濃度隨著氧化層厚度增加而呈指數遞減, 其特徵長度 (characteristic length) 為  $L_2$  :

$$\frac{dt_{\text{ox}}}{dt} = \frac{B}{2t_{\text{ox}} + A} + \underbrace{C_2 \exp\left(-\frac{t_{\text{ox}}}{L_2}\right)}_{\text{empirical modeling}}$$

cf: Deal-Grove model :  $t_{\text{ox}}^2 + A \cdot t_{\text{ox}} = Bt + \text{const.}$

所以,  $(2t_{\text{ox}} + A) \frac{dt_{\text{ox}}}{dt} = B$ 。此外, 當氧化層厚度大時,  $C_2$  修正項趨於  $C_2$ ; 反之, 若厚度很小, 那麼  $C_2$  修正項會趨於零。

解釋. 根據 T. Hori :

## \*3.1.1.3 Empirical model (Reisman and Nicollian)

## §3.1.2 氧化層成長技術

## 3.2 氧化層結構

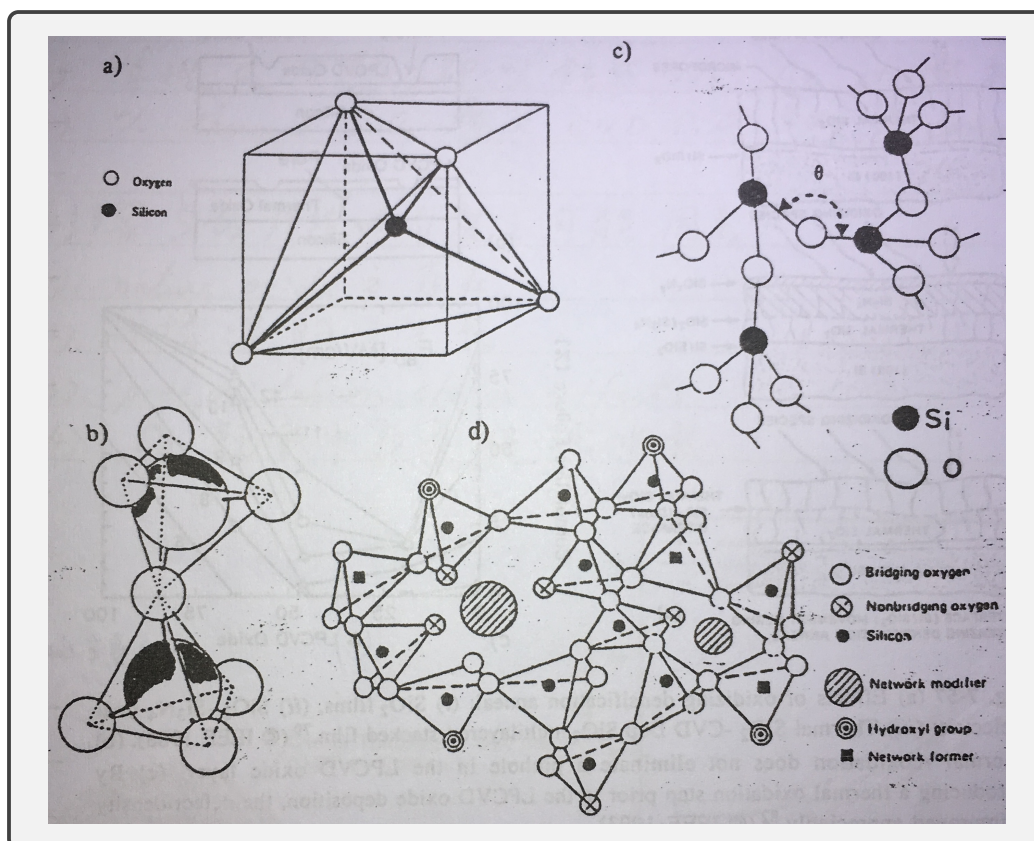


Figure 3.5: Illustration of  $\text{SiO}_2$  structure. (a) The basic structure of  $\text{SiO}_2$ . (b) Three-dimensional representation of two neighboring  $\text{SiO}_4$  cells, bridged by an oxygen atom. (c) Two-dimensional lattice representing vitreous  $\text{SiO}_2$ . (d) The structure of thermally grown  $\text{SiO}_2$  showing bridging and non-bridging oxygen atoms and dopant (i.e. network modifier) atoms. Ref: IEEE 1965.

$\text{SiO}_2$  (Silica, 矽土) 可以三種形式呈現：

- 1). Crystalline: 大範圍規則排列 (long-range order), 含石英 (quartz)、柯石英 (coesite) 等。
- 2). Vitreous (玻璃質): 或稱為 glassy、fused silica, 不具大範圍規則, 只在小範圍呈規則 (short-range order)。



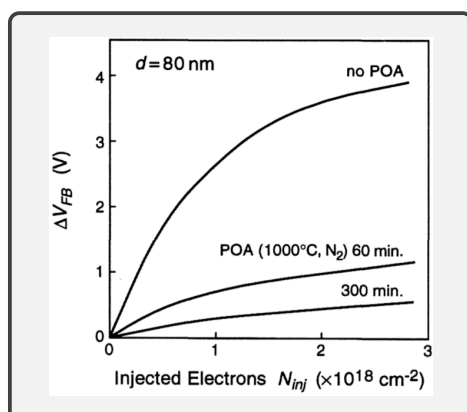


Figure 3.6: Influence of POA on the electron trapping characteristics

→ IC 中之 thermal SiO<sub>2</sub> 即為此結構。

3). Amorphous (非晶): 不具小範圍規則

→ 一般在低溫沈積時呈現。

### §3.2.1 SiO<sub>2</sub>/Si 界面缺陷

### §3.2.2 氧化層電荷與界面陷阱基本特性

## 3.3 電荷抓陷特性

\* 可區分成 electron trapping 及 hole trapping，與電場大小有關，會增加 oxide trap charge 及 interface trap charge，也與位置有關。

### §3.3.1 氧化層抓陷電子與電洞之基本行為

#### \*3.3.1.1 Electron trapping

\* 與 Wafer-related traps 有關，如 -H、-OH、H<sub>2</sub>O、...。其 electron capture cross section  $\sigma$  小，約  $10^{-16} \sim 10^{-19} \text{ cm}^2$ 。

\* POA(Post-Oxidation Anneal) 越久，e-trap 越少，參見 Fig. (3.6)。

解釋. POA 越久，由圖 (3.6) 可知， $\Delta V_{FB}$  越小，所以 e-trap 越少。

#### \*3.3.1.2 Hole trapping

\* 特徵：(相較於 e-trap)

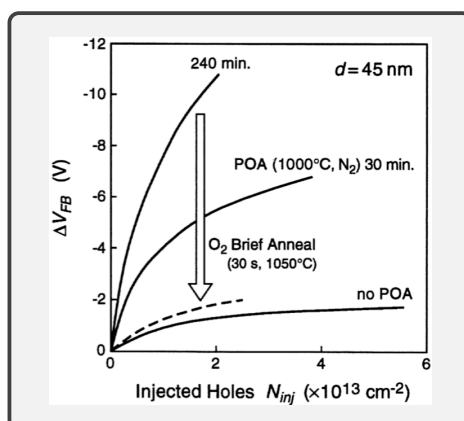


Figure 3.7: Influence of POA on the hole trapping characteristics. The effect of a brief O<sub>2</sub> anneal after POA is indicated by the arrow.

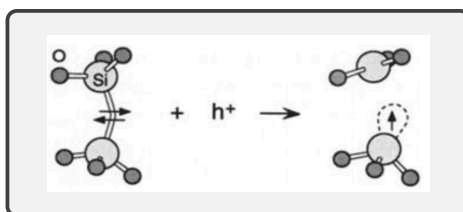


Figure 3.8: Illustration of possible hole trapping by breaking a defect with an oxygen vacancy.

1. 在氧化層中的 hole trap 數量比較多，密度大約是  $10^{12} \text{ cm}^{-2}$  以上，參考 Fig. (3.7)。
2. hole capture cross section  $\sigma$  較大，約  $10^{-13} \sim 10^{-14} \text{ cm}^2$ ，會造成氧化層快速老化 (degradation)。
3. hole trap 為氧化層崩潰之主因
4. 會引起  $\Delta D_{it}$  之顯著增加。
5. 分佈接近於 SiO<sub>2</sub>/Si 界面，而 e-trap 則是大多在氧化層內部。

✱ POA 越久，h-trap 越多，參考 Fig. (3.7)。

✱ 經 O<sub>2</sub> brief annealing，可使 h-trap 降低，參考 Fig. (3.7)。

解釋. POA 越久，由 Fig. (3.7) 可知， $\Delta V_{FB}$  越多，所以 h-trap 越多。

✱ Hole trapping 主要機制：

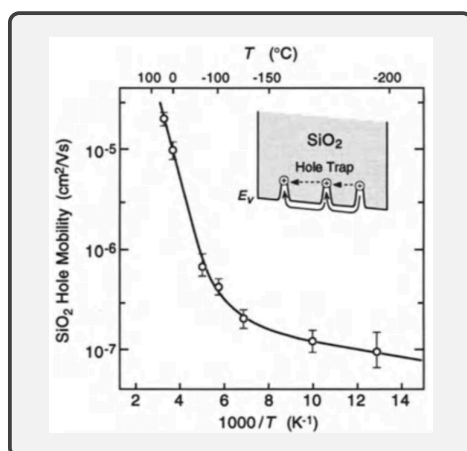


Figure 3.9: Temperature dependence of the hole mobility in SiO<sub>2</sub> dielectric films.

- 導因於存在過量的 Si，或 Oxygen deficiency，以及於 SiO<sub>2</sub>/Si 界面處之 strained Si-O bonds。
- 經 hole trapping 後，結構改變，不易移除。因為形成了 trivalent Si (含 unpaired electron) E' center，所以可以由 ESR (交流磁場) 偵測，參考 Fig. (3.8)。
- \* 因為電洞在 SiO<sub>2</sub> 中之移動涉及 hopping，所以非常慢，參考 Fig. (3.9)。
- \* 氧化層經電荷抓陷後，會使得  $\Delta D_{it}$  增加，參考 Fig. (3.10) 與 Fig. (3.11)。 $\Delta D_{it}$  之可能產生機制：
  1. Hydrogen model：與  $\equiv\text{Si-H}$  或  $\equiv\text{Si-O-H}$  鍵有關。經抓陷電荷後，含氫之 species 會 escape，形成  $\Delta D_{it}$ 。
  2. Broken-bond model：Strained Si-O 或 Si-Si 鍵在抓陷電荷後 (尤其是電洞) 斷鍵，結構被改變。這些斷掉的鍵，會因為 bond strain 的梯度 (BSG, bond strain gradient) 而朝向 Si-SiO<sub>2</sub> 界面前進，約 3 nm，進而形成  $\Delta D_{it}$ ，參考 Fig. (3.12)。
- \* 輻射為產生電子及電洞之其中一種方式，經氧化層電荷抓陷，會引起  $\Delta D_{it}$  及  $\Delta V_{FB}$ ，參考 Fig. (3.13)。

### §3.3.2 與電場相關之電荷注入

#### \*3.3.2.1 Direct tunneling

- \* 發生於薄氧化層，低電場即可實現。
- 另涉及 interface-trap assisted tunneling。

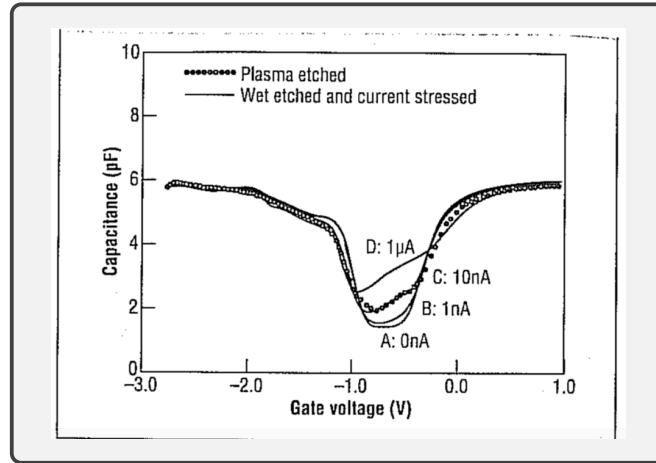


Figure 3.10: Quasi-static CV curves of MOS-C structures prior to charge passage (Curve A = 0 nA, and after charge (Curve B - D). The creation of interface traps by current passage through the gate oxide degrades the CV curves.

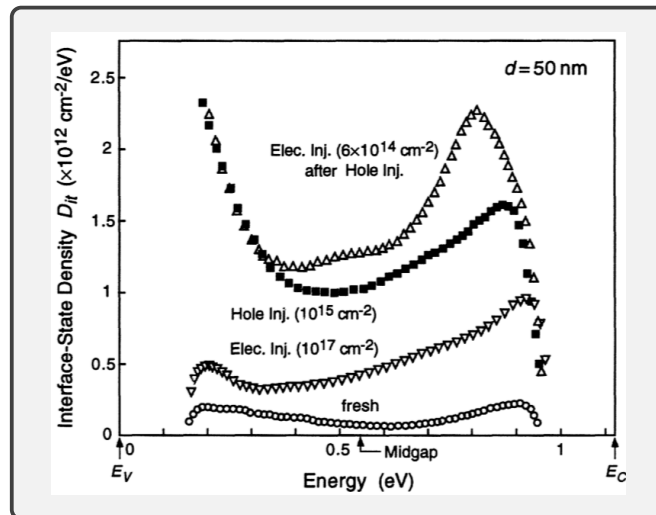


Figure 3.11: Comparison of interface-state generation between injection with electrons only, holes only, and both of electrons and holes.

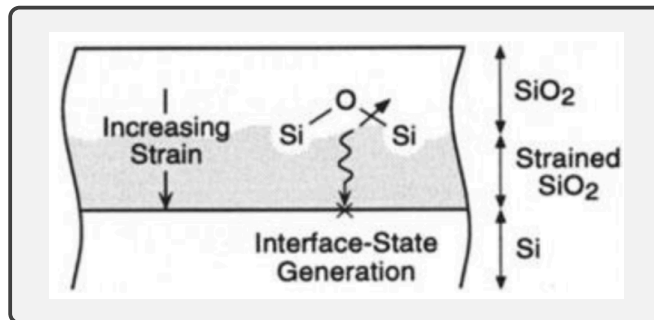


Figure 3.12: Schematic diagram of SiO<sub>2</sub> on Si, showing the direction of the strain gradient. Broken bonds will tend to propagate toward the Si-SiO<sub>2</sub> interface due to this gradient, resulting in interface-state generation.

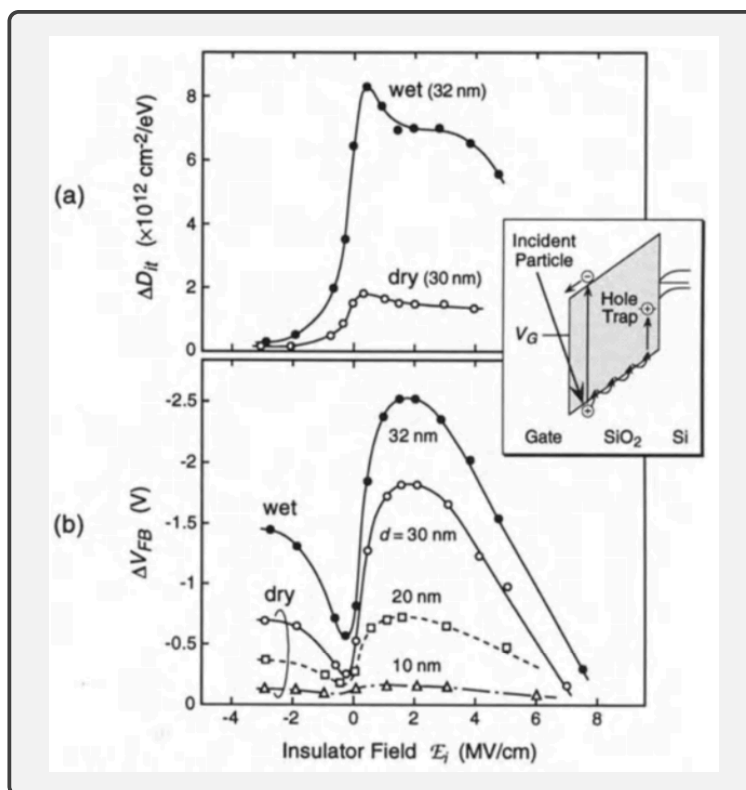


Figure 3.13: (a) Increase of the interface-state density,  $\Delta D_{it}$ , and (b) flat-band voltage shift  $\Delta V_{FB}$  induced by irradiation of  $10^6 \text{ rad}(\text{Si})$  as a function of the insulator field  $\mathcal{E}_i$  applied during irradiation with the thickness  $d$  and as a parameter.

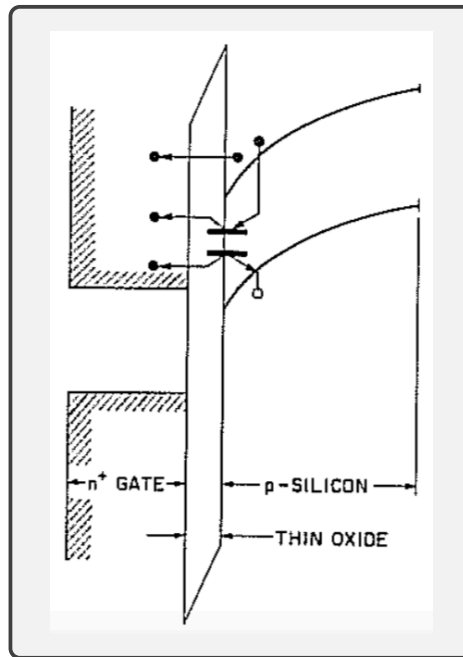


Figure 3.14: Energy-band diagram for the phenomenon of direct tunneling through the gate oxide for thin oxides. Also shown are both unassisted tunneling and some possible interface-trap assisted leakage paths, with trap levels indicated by short, solid bars. From J.R. Brews, "The Submicron MOSFET," Chap. 3, in *High-Speed Semiconductor Devices*, Ed. Sze. p. 160. Copyright 1990. John Wiley & Sons. Reprinted with permission.

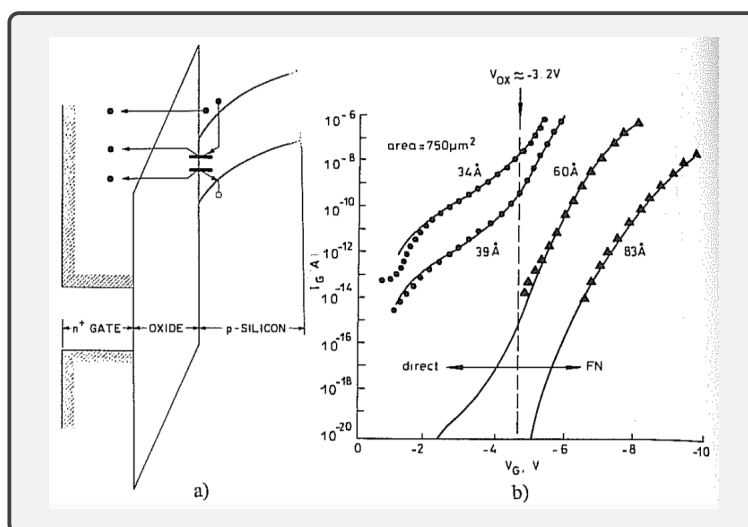


Figure 3.15: (a) Energy-band diagram for the phenomenon of Fowler-Nordheim tunneling in the MOSFET gate oxide. Also shown are some possible interface-trap assisted leakage paths, with trap levels indicated by short, solid bars. From J.R. Brews, "The Submicron MOSFET," Chap. 3, in *High-Speed Semiconductor Devices*, Ed. Sze, p. 153. Copyright 1990, John Wiley & Sons. Reprinted with permission. (b) Theoretical and experimental tunneling I-V curves of Al-gate *n*-channel MOS structures under negative gate bias, illustrating the I-V characteristics of Fowler-Nordheim tunneling in 6 and 8.3 nm thick oxides and the calculated direct tunneling currents in 3.9 and 3.4 nm thick oxides. (© IEEE 1983).

### \*3.3.2.2 Fowler-Nordheim (FN) Tunneling

\* 於高電場下發生，約  $6 \sim 7$  MV/cm 發生。

\* 電流公式：

$$J = A \cdot E_{\text{ox}}^2 \cdot \exp\left(\frac{-B}{E_{\text{ox}}}\right)$$

其中， $A \approx 1.25 \times 10^{-6}$  A/V<sup>2</sup>， $B \approx 240$  MV/cm。

\* 另涉及 interface-trap assisted tunneling，參考 Fig. (3.15)。

\* F-N 注入電子可引起之氧化層內電荷產生及抓陷，參考 Fig. (3.16)。

- (a) 經由 impact ionization 產生 e-h pairs
- (b) trap-assisted impact ionization
- (c) e-h pairs recombination

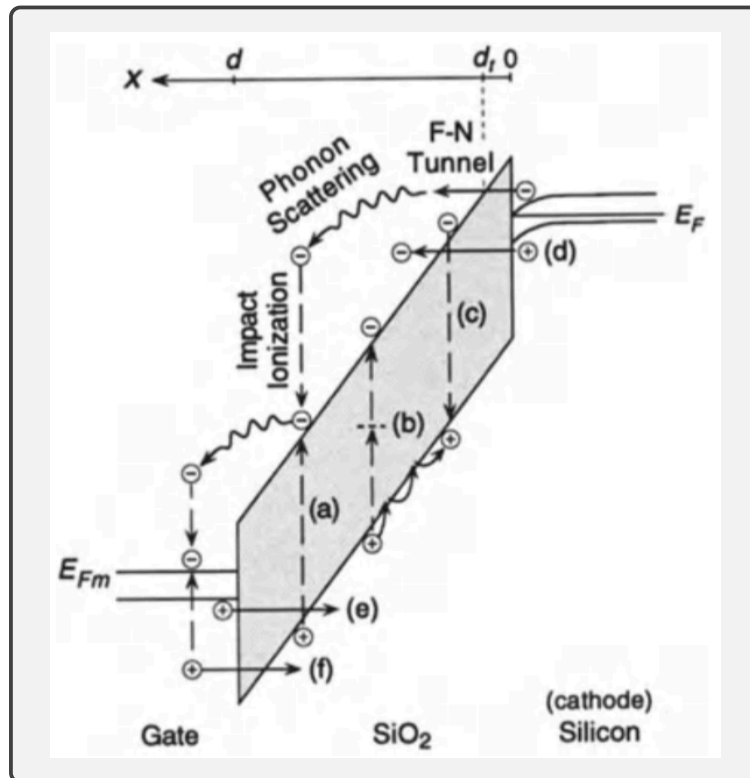


Figure 3.16: Schematic band diagram of possible processes taking place during F-N injection where the applied insulator field  $\varepsilon_i$  is so high as  $\approx 10$  MV/cm. In this figure, the gate-bias polarity is positive (substrate injection).



- (d) valence-band electron tunneling (小) [因為等效質量大，所以能障也較大，所以較小。]
- (e) Cold hole tunneling from gate (小)
- (f) Hot hole tunneling from gate

→ F-N injection 可產生電子與電洞，而電子數大於電洞數，但電洞之 trapping 會造成氧化物有效之衰退，進而崩潰。

解釋. 根據 T. Hori :

1. Electrons injected from the cathode (negatively biased electrode) acquire an energy from the high field, while losing some energy by phonon scattering similarly to the electron drift case in silicon, and finally some of them will acquire energy larger than the SiO<sub>2</sub> bandgap so as to produce an electron-hole pair by impact ionization (process *a* in Fig.(3.16)).
2. Most of the injected and/or generated electrons escape to the opposite electrode while the rest recombines with the generated holes (process *c* in Fig.(3.16) or is captured by electron traps.
3. The generated holes move toward the cathode and some of them are captured by hole traps mainly distributed near the Si-SiO<sub>2</sub> interface.
4. Interface states are then generated.

從矽基板過來的高能電子，要嘛持續往閘極衝，要嘛跟電洞結合。往前衝的部分電子，因為能量很高，所以在經歷聲子散射後，撞擊出電子電洞對 (impact ionization)，而這是二氧化矽中含有電洞的主要原因。從閘極穿隧過來的電洞並不多，大部分電洞都是在上述的熱電子與晶格撞擊後產生的。這些電洞接著向矽基板加速移動，有些會被矽/二氧化矽界面的缺陷給捕捉，產生 interface states，有些電洞則是成功流過去矽基板了。

※ 定電流 F-N injection 下之電源電壓變化：

- $\Delta V_{G+}$  :  $V_G$  在正偏壓下，substrate injection。
- $\Delta V_{G-}$  :  $V_G$  在負偏壓下，gate injection。

→  $|\Delta V_G|$  先減少再增加，表示先觀察到 hole trapping，再來才是 electron trapping。

→  $\Delta V_T$  與  $\Delta V_{FB}$  不同，表示產生許多  $D_{it}$ 。換言之，若  $Q_{it} = 0$ ，那麼  $\Delta V_T \approx \Delta V_{FB}$ ，但因為當前  $Q_{it} < 0$ ，所以  $\Delta V_T > 0$ ，亦即需要更大的閘極偏壓才能開通元件（我推測這是 n-MOSFET）。

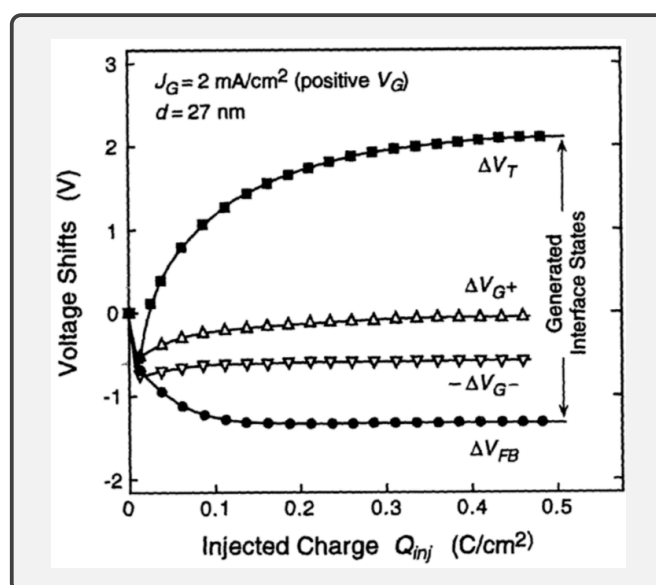


Figure 3.17: Shifts of different voltage parameters during F-N injection with a constant current density  $J_G$  of  $2 \text{ mA/cm}^2$ .

※ 氧化層中產生之電洞，只有部份能被 hole trap 給抓陷

$$Q_{\text{ox}}^+ = \eta Q_p = \eta \int_0^t J_p dt'$$

其中，

1.  $J_p$  為產生之電洞電流密度。
2.  $Q_p$  為產生之總電洞數電荷量（單位面積）。
3.  $\eta (\ll 1)$  為電洞抓陷效率（hole trapping efficiency）。
4.  $Q_{\text{ot}}^+$  為被抓陷之總電洞數電荷量（單位面積）

解釋. 根據 T. Hori, 基本上我們適用負電壓平移的飽和值來計算被捕捉的電洞量, 而  $\eta$  就是描述實際與理想的差距。

※ 利用 MOSFET 結構證明  $J_p$  為 F-N 電子電流注入後所產生

- $J_G - \varepsilon_i$  與氧化層厚度  $d$  無關, 表示電子之 F-N tunneling 只跟電場有關係。
- $d$  越小,  $J_p$  越小, 即使  $d \approx 4 \sim 4.5 \text{ nm}$ , 理論仍與實驗相近, 表示  $J_p$  是經由 impact ionization 所產生, 與厚度有關。

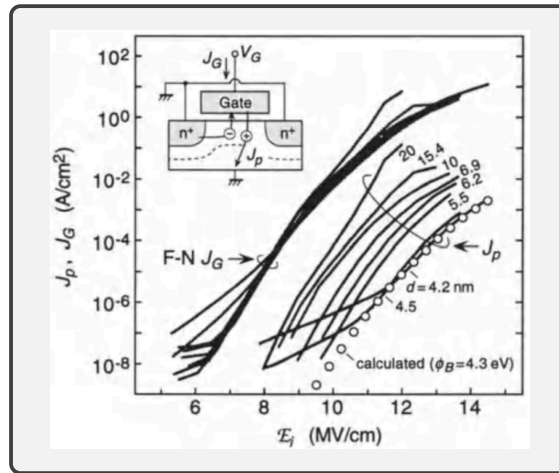


Figure 3.18: Hole-current density  $J_p$ , measured at the substrate terminal of an n-MOSFET (shown by the inset), and gate electron-current density  $J_G$  as a function of insulator field  $\varepsilon_i$  with  $d$  as a parameter. The small circles labeled  $\phi_B = 4.3$  eV represent a theoretical  $J - \varepsilon$  curve for valence-band electron tunneling (processes  $d$  and  $e$  in Fig.(3.16)).

→ 經 band-to-band tunneling & impact ionization 產生之電洞電流：

$$J_p = \int_{d_t}^t \alpha \cdot J_G dx = J_G \int_{d_t}^t \alpha_0 \cdot \exp\left(-\frac{H}{\varepsilon_i}\right) dx$$

其中，

1.  $\alpha$  : impact ionization coefficient，定義為  $\alpha_0 \cdot e^{-H/\varepsilon_i}$  (e-h pairs/cm)。
2.  $J_G$  : F-N tunneling current
3.  $d_t$  : tunneling distance (3 ~ 5 nm，與電場大小有關)。
4.  $H$  : 大約 80 MV/cm 的常數。

→ 對很薄氧化層，在很小的電場  $\varepsilon_i$  時，會以 direct tunneling hole current 為主。

解釋. 從上述  $J_p$  看得出來，厚度越小，積分範圍越小，impact ionization 產生的電洞數量就越少。而且，從 Fig.(3.18) 看得出來，即便厚度非常小，使得氧化層跨壓小於 9 V，即便電子跨過氧化層，也不可能獲得大於 9 eV 的能量，而這恰好是 SiO<sub>2</sub> 的能隙。也就是說，不可能發生 impact ionization。這時產生電洞的可能性就變成了 (見 Fig. (3.4))：

1. trap-assisted impact ionization (process  $b$ )。顯然地，藉由 trap，就能夠用比較低的能量產生電子電洞對。

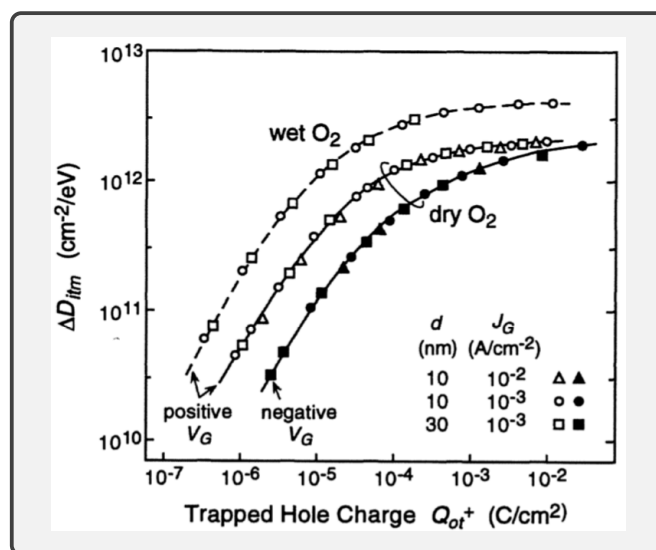


Figure 3.19: Increase of the midgap interface-state density,  $\Delta D_{itm}$ , as a function of the trapped-hole charge  $Q_{ot+}$  under different F-N injection conditions for various  $\text{SiO}_2$  films.

2. tunneling of valence-band electrons leaving holes in the substrate (process  $d$ )。電洞面對的能障比較大，所以並不容易。
3. cold/hot hole tunneling from the gate (processes  $e$  and  $f$ )。我猜想這也不容易，因為電洞面對的能障應該還是不小。

從 Fig.(3.18) 看來，表示 F-N tunneling current 的白色圈圈在低電場時會低於實驗值，這可能表示著從“價帶穿隧而來的電洞流”比較大 (processes  $d$  and  $e$ )。而如果氧化層厚度足夠厚，那表示有非常大量的電洞在氧化層中生成 (by impact ionization)。

※  $\Delta D_{itm}$  與  $Q_{ot}^+$  呈現相關性

- $\Delta D_{itm}$  之產生與製程有關，與厚度無關，而是與  $Q_{ot}^+$  有關。
- 加  $+V_G$  較易使電洞往  $\text{SiO}_2/\text{Si}$  移， $\Delta D_{itm}$  較易產生。

解釋. 假如  $J_G$  是由通道經 Fowler-Nordheim tunneling 穿隧至閘極所形成的，那麼從 Fig.(3.16) 來看，不論氧化絕緣有多厚，電子只跟能障與電場有關，所以跟厚度無關是合理的，所以這是個好理由相信電子來自 F-N tunneling。接著，因為厚度越小，導致  $J_p$  也越小，表示  $J_p$  是經由氧化層中的 impact ionization 產

生的。厚度越大，越有機會讓電子在氧化層中藉由晶格散射，經歷 impact ionization，產生電洞，所以厚度越大，因此機制產生的電洞就越多。

### §3.3.3 MOSFET 元件之電荷注入

※ 兩種注入模式 (injection mode)：

- 1). Drain avalanche hot-carrier (DAHC) injection
- 2). Channel hot-electron (CHE) injection

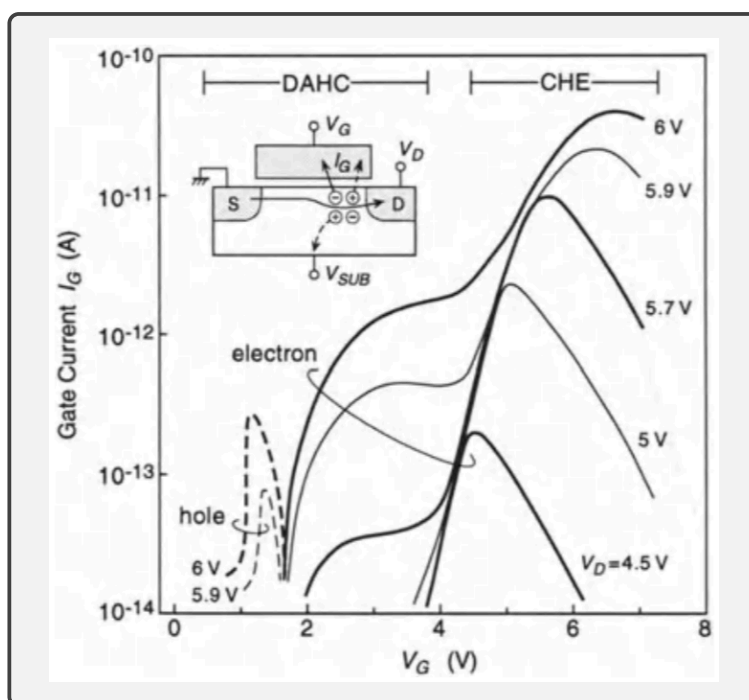


Figure 3.20: Gate current  $I_G$  versus  $V_G$  with  $V_D$  as a parameter for a  $0.8\text{-}\mu\text{m}$  conventional n-MOSFET

#### ※3.3.3.1 DAHC injection

※ 涉及 impact ionization，產生電子電洞對，需橫方向沿通道有足夠大的電場  $E_m$ 。

→ 發生於  $V_G$  較小，通道尚未完全打開， $V_{DS}$  足夠大，汲極附近之  $E_m$  足夠大，足以產生 impact ionization。

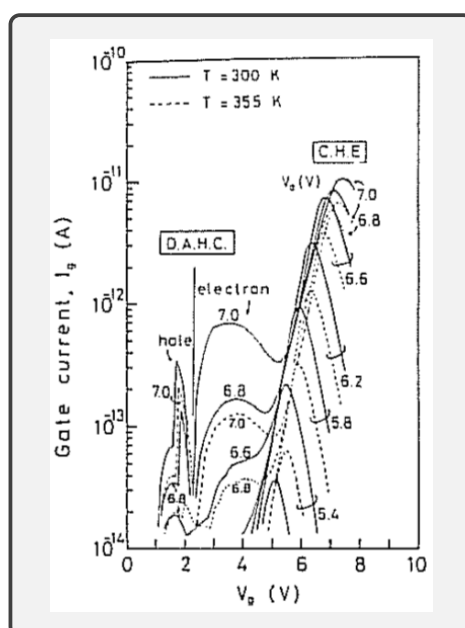


Figure 3.21: At very low  $V_{GS}$ ,  $I_G$  changes sign, indicating that hot holes are emitted into the gate oxide. Their presence at low  $V_{GS}$  is shown in this figure.

- 於小  $V_G$  時，若 impact ionization 產生之電洞能量足夠大，那麼電洞可以流往閘極，使得  $I_G$  為電洞流 (hole current)，電流小於零，處於 DAHC 階段。
- $V_G$  更大但仍小於  $V_{DS}$  時，通道載子數目漸增，impact ionization 產生的電子電洞對變多，電子開始往閘極流動， $I_G$  主要收集到電子流 (electron current)，電流大於零，進入 DAHE 階段。
- $V_G$  持續增加，通道越是開通，在汲極處的最大電場  $E_m$  會越來越小，impact ionization rate 會越來越小，所以  $I_G$  收集到的電子流越來越小，詳見下頁定性解釋。
- 經由 impact ionization 產生的電洞，可以由基板流 (substrate current) 偵測得知，詳見下頁定性解釋。

解釋. 根據 Wolf p.435, DAHC 區域的機制為，一開始  $V_{GS}$  很小時， $V_{GD}$  是足夠大的負偏壓，所以電子進入閘極的機率比電洞還要低很多，所以以電洞流為主 ( $I_G < 0$ )，即 DAHC (Drain avalanche of hot holes)。然而，當  $V_{GS}$  逐漸變大， $V_{GD}$  就變得沒有那麼「負」，所以電子進入的閘極機率就越來越大，使得 DAHC

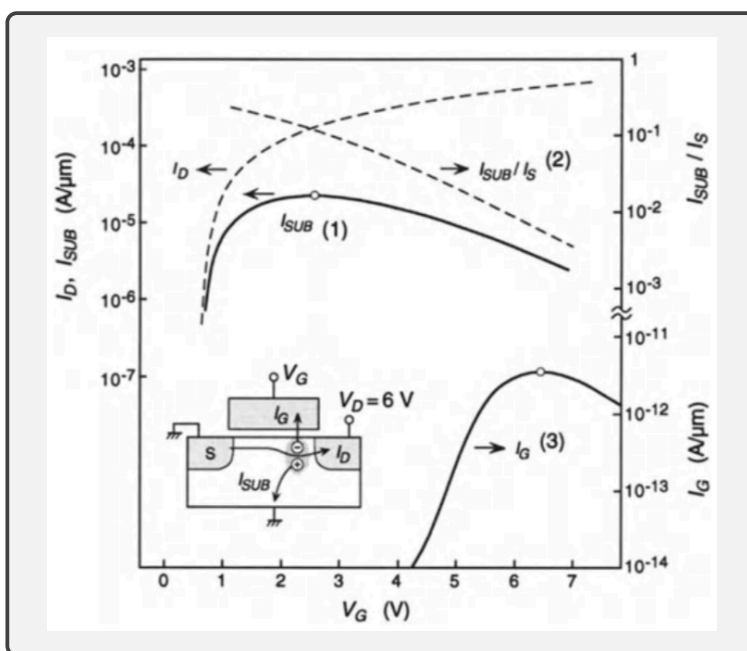


Figure 3.22: Substrate current  $I_{sub}$  and gate current  $I_G$  versus  $V_G$  for a 0.8- $\mu\text{m}$  conventional n-MOSFET. The ratio of  $I_{sub}$  to source  $I_S (= I_D - I_{sub})$ , which is a monitor of the lateral electric field, is also shown together with  $I_D$ . The small circles indicate current peaks.

區逐漸以電子流為主 ( $I_G > 0$ )，即 DAHE (Drain avalanche of hot electrons)。

\*  $I_{sub} = I_S \cdot \exp\left(-\frac{E_I}{q\lambda E_m}\right)$ ，其中：

$E_I$  為產生 impact ionization 所需之最小能量，約 1.35 eV。  
 $\lambda$  為兩次碰撞之間的熱電子平均自由徑 (hot-electron mean free path)。  
 $E_m$  為最大橫向電場，正比於  $(V_D - V_{DS,sat})$ 。

→ [DAHE 初期— $I_G$  遞增]： $V_G$  越大， $I_D$  越大，通道載子數越多，impact ionization 撞出的電洞數就會越多， $I_{sub}$  會越來越大。

→ [DAHE 後期— $I_G$  遞減]： $V_G$  越大， $V_G' = V_G - V_T$  越大， $V_{DS,sat} = \frac{V_G'}{1 + V_G'/E_c \cdot L}$  越大， $E_m$  就越小。因此， $I_{sub}/I_S = \exp\left(-\frac{E_I}{q\lambda E_m}\right)$  越小，impact ionization rate 越小。

→ 綜上所述，可得知  $I_{sub}$  會出現峰值，大約在  $V_G \approx V_D/2$  時出現。

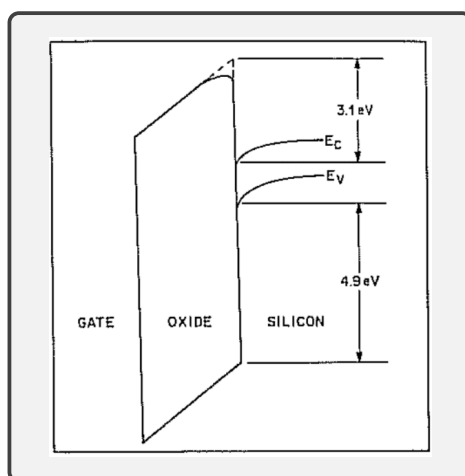


Figure 3.23: Energy band diagram of a MOS device in the direction perpendicular to the surface. The barriers at the Si-SiO<sub>2</sub> interface are  $\sim 3.1$  eV for electrons and  $\sim 4.9$  eV for holes.

### \*3.3.3.2 CHE injection

- \* 若通道內電子的能量夠大，那麼就可能足夠幸運地穿越  $q\phi_B$  能障，進入氧化層，形成  $I_G$  (electron current)，即 CHE injection。

$$I_G = I_S \cdot \exp\left(\frac{-\phi_B}{\lambda E_m}\right)$$

因為 SiO<sub>2</sub>/Si 界面上的  $q\phi_B \approx 3.2$  eV，比  $E_1/q$  還要大，所以  $I_G$  值遠小於  $I_{sub}$ 。

→  $I_G$  峰值大約發生於  $V_G \approx V_D$  處。

- \* 發生於通道打開 (channel on) 且  $V_G$  足夠大的情況下，見 Fig. (3.23)。

- \* 靠近汲極處之電場較大， $E = \frac{1}{q} \frac{d\varepsilon}{dx}$ ，在汲極處之通道電子被橫向電場加速，獲得足夠能量越過  $q\phi_B$ ，可能注入 SiO<sub>2</sub> 之傳導帶 (conduction band)。

→ 可不必經過 impact ionization，電子只要能量夠大，夠幸運，就可進入氧化層。

- \* 當  $V_{GS} < V_{DS}$  時，在汲極的  $V_{GD} < 0$ ，所以  $E_{ox} < 0$ ，此時 CHE 因  $E_{ch}$  大而越過  $q\phi_B$  進入 SiO<sub>2</sub>，卻因為  $E_{ox} < 0$  而使部分電子逆流至通道中，沒有被閘極收集到，亦即  $V_G$  越大， $V_{GD}$  (負值) 越小， $E_{ox}$  (負值) 越小，被趕回通道之電子越少， $I_G$  就變得更大。



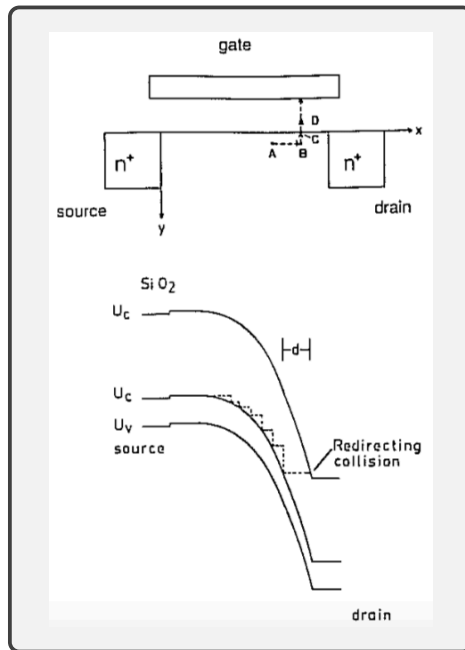


Figure 3.24: The energy band diagram at the drain end of a MOSFET for the condition when hot electron injection can occur.

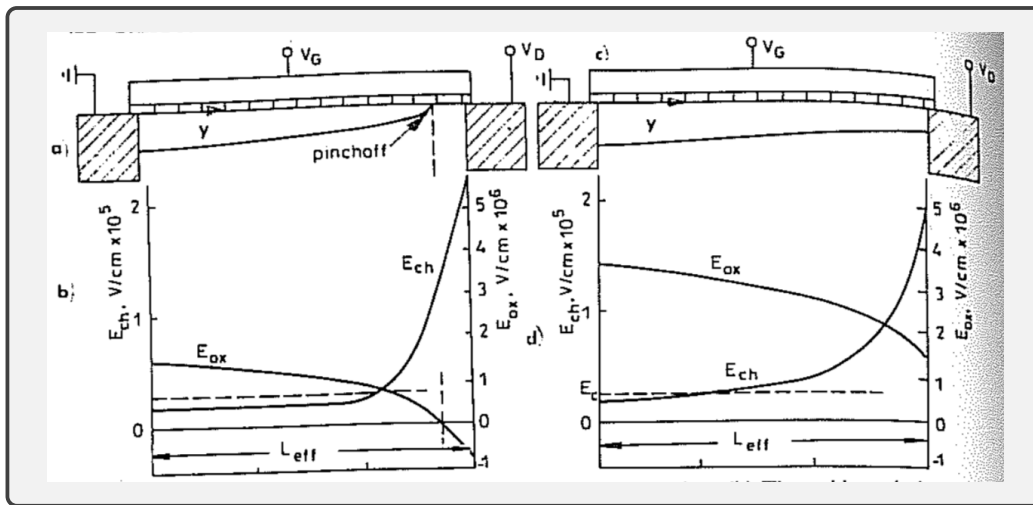


Figure 3.25: (a) Cross section of MOS transistor operating in saturation. (b) The oxide and channel fields in the  $y$ -direction of the channel when the MOSFET is in saturation (i.e.,  $V_{GS} < V_{DS}$ , here  $V_{GS} = 6 \text{ V}$  and  $V_{DS} = 8 \text{ V}$ ). (c) Cross section of a MOS transistor operating in linear regime. (d) The oxide and channel fields in the  $y$ -direction of the channel when the MOSFET is in the linear regime (i.e.,  $V_{GS} > V_{DS}$ , here  $V_{GS} = 15 \text{ V}$  and  $V_{DS} = 8 \text{ V}$ ). (© IEEE 1991).

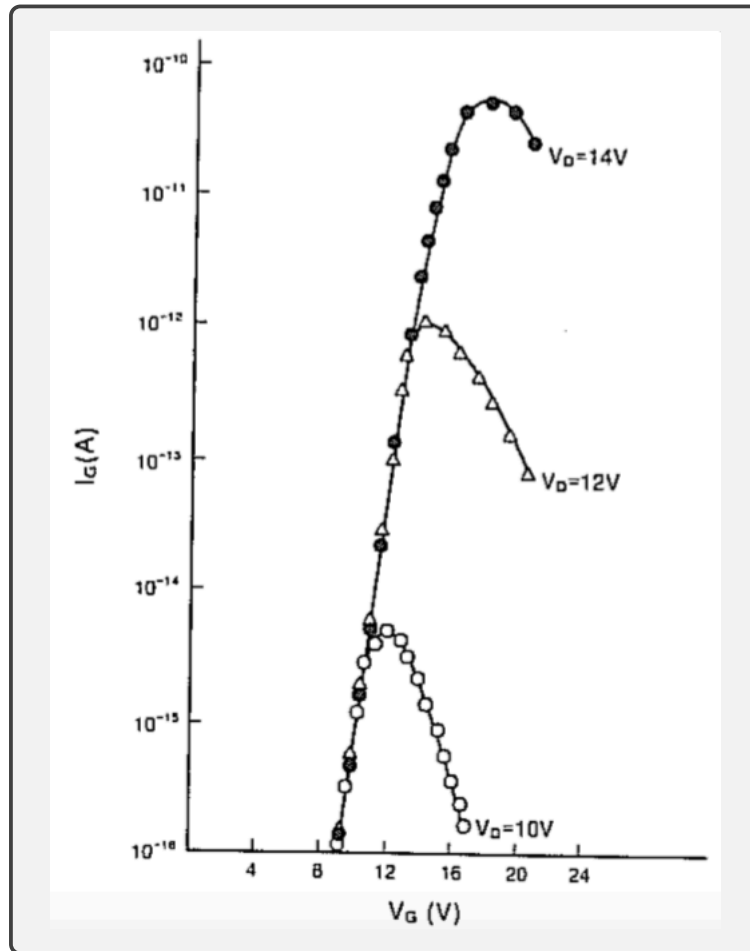


Figure 3.26: Gate current due to channel hot electrons versus gate voltage, with  $V_{DS}$  as the parameter. (© IEEE 1981).

- \* 當  $V_{GS} > V_{DS}$  時，通道進入 linear regime， $E_{ch}$  變得越來越小，電子動能不夠大，不夠「熱」，進入  $\text{SiO}_2$  的機率就越來越小。

解釋. 根據 Wolf p.432，

The CHE gate current initially increases as  $V_{GS}$  is increased — due to the increase in the number of carriers in the channel. The gate current peaks at the point when  $V_{GS} \approx V_{DS}$  because when  $V_{GS}$  is increased beyond  $V_{DS}$ , the MOSFET is driven toward the linear region of operation and the channel electric field is rapidly reduced.

也就是說，以 n-MOSFET 為例，雖然在閘極電壓上升時，通道最大電場會減少，降低 impact ionization rate，減少流向閘極的電子流與流向基板的電洞流，但因為閘極偏壓也同時感應出更多的通道載子 (n-MOSFET 中的電子)，所以彌補了 impact ionization 的不足，使得載子濃度又提高。然後，因為載子變多了，所以根據 *lucky electron model*，下一個門檻就是載子要有足夠高的能量以進入氧化層。之所以說「幸運」，是因為這些載子必須躲過那些會損失動能的碰撞，並且還要持續受電場加速。*lucky electron model* 忽略了由碰撞「獲得」動能的情況。而且，閘極偏壓越大，表示  $V_{GD}$  (負值) 越小，例如從  $-2.0$  變化為  $-1.5$ ，所以將電子「排斥」回通道的鉛直電場  $|E_{ox}|$  強度越小，使得閘極收集到越多的電子，閘極電流就越大。

### \*3.3.3.3 元件衰退特性觀察

- \*  $\Delta N_{it}/N_{it}$  與  $I_{sub}$  之變化一致，表示  $\Delta N_{it}$  是由 DAHC 產生之電洞所造成。

- \* DAHC 比 CHE 更容易引起元件衰退。

$$\Delta V_T \quad \text{or} \quad \frac{\Delta g_{mp}}{g_{mp}} \propto t^n$$

- \* e-traps 與  $\Delta N_{it}$  出現在 stressing drain。

$$\left. \begin{array}{l} \text{forward} \\ \text{reverse} \end{array} \right\} : \text{stressing drain} = \left\{ \begin{array}{l} \text{drain} \\ \text{source} \end{array} \right.$$

$$\text{經 stress 後，測量 } I_{sub}/I_S \Rightarrow \left\{ \begin{array}{l} \varepsilon_m \uparrow \\ \varepsilon_m \downarrow \end{array} \right.$$

$$\therefore \frac{I_{sub}}{I_S} = \exp\left(-\frac{E_m}{q\lambda\varepsilon_m}\right) \Rightarrow \left\{ \begin{array}{l} \text{大} \\ \text{小} \end{array} \right.$$

\*  $\Delta V_G$  (在固定  $I_{sub}/I_S$  下之閘極偏壓平移量, Gate voltage shift, 見該內插圖),  $V_{Gstr}$  越大, 汲極處產生之  $\Delta N_{it}$  越多,  $\Delta V_G$  (負值) 越大。

\*  $\Delta V_T$  與  $\Delta g_{mp}/g_{mp}$  之變化與  $I_{sub}$ 、 $\Delta N_{it}/N_{it}$  行為類似。

\* Hot carrier (HC) 包含 DAHC 及 CHE 全部效應。

$V_{Dstr}$ : Stress drain voltage

lifetime  $t_{HC}$ : 指引起 10 mV 之  $\Delta V_T$  之時間。

→  $V_{Dstr}$  越大,  $t_{HC}$  越短。

→  $I_{sub}$  越大,  $t_{HC}$  越短。

$$t_{HC} \propto I_{sub}^{-m}, \quad m: 2.9 \sim 3.4$$

\* 與製程有關, 涉及 e-trap、h-trap 之多寡以及  $\Delta N_{it}$  之產生快慢。

#### \*3.3.3.4 p-MOSFET 之元件衰退特性

\* 與 n-MOSFET 之不同點:

1. 電洞之 impact ionization coefficient 較小。

2. 電洞之  $\text{SiO}_2/\text{Si}$  位障高度約 4.7 eV, 較電子之位障為高。

\*  $I_G$  只有電子電流,  $I_{sub}$  較 n-MOSFET 為小。

\* Oxide 抓陷電子後, 靠近汲極處之通道被反轉成 p-type, 使得通道等效長度  $L_{eff}$  縮短, 容易引起源極與汲極之間的擊穿現象, 稱為 Hot-Electron-Induced-Punchthrough (HEIP)。

\* 經 stress 後, oxide 內負電荷增加, 通道更容易打開, 閾值電壓 ( $V_T < 0$ ) 變小,  $\Delta V_T$  為正值; 在相同  $V_G$  下,  $I_D$  變大。

→ 產生  $N_{it}$  時,  $\Delta N_{it}$  於閾值電壓下為正電荷,  $\Delta V_T$  正值漸小, 往負值移動, 呈 negative shift。

解釋. 我的理解: 在  $Q_{it} = qN_{it}$  越來越大時 (氧化層抓陷越來越多電子), 通道越來越多電洞, 但如果這時因 DAHC 之電洞而產生更多的  $Q_{it} > 0$ , 這時會抵銷掉氧化層中被抓陷之電子產生的效應, 使得  $\Delta V_T$  之正值越來越小, 甚至還會小於零。

\* 元件衰退特性與  $\Delta N_{it}$  之關係式:

$$I_D \int_0^L dy = -W\mu \int_0^{V_D} Q_I(y) dV$$

其中，根據 *Gradual-channel approximation*，我們可寫下：

$$Q_I(y) \approx -C_i [V_G - V_T - V(y)]$$

因此，在尚未捕捉電洞以產生  $\Delta N_{it}$  之前，

$$I_{DD} = \frac{W}{L} \mu_0 C_i \left( V_G - V_T - \frac{V_D}{2} \right) V_D$$

倘若  $\Delta N_{it} \neq 0$ ，並且假設這些界面能井為 acceptor-like  $D_{it}$ ，那麼：

$$Q_I(y) = -C_i [V_G - V_T - V(y)] + q \Delta N_{it}(y)$$

除此之外， $\Delta N_{it}$  也會引起庫倫散射 (Coulomb scattering)，使得遷移率  $\mu \downarrow$ 。因此，其等效  $\mu$  為

$$\mu = \frac{\mu_0}{1 + \gamma \Delta N_{it}^*}$$

其中， $\Delta N_{it}^*$  為  $\Delta N_{it}(y)$  於  $0 < y < L$  之平均值：

$$\Delta N_{it}^* \equiv \frac{1}{V_D} \int_0^{V_D} \Delta N_{it}[V(y)] dV$$

因此，我們可以得到：

$$\begin{aligned} I_D &= \frac{W}{L} \cdot \frac{\mu}{1 + \gamma \Delta N_{it}^*} \left[ C_i \left( V_G - V_T - \frac{V_D}{2} \right) V_D - q \int_0^{V_D} \Delta N_{it}(V) dV \right] \\ &= \frac{W}{L} \cdot \frac{\mu}{1 + \gamma \Delta N_{it}^*} \left[ C_i \left( V_G - V_T - \frac{V_D}{2} \right) - q \Delta N_{it}^* \right] V_D \end{aligned}$$

由上述之  $I_D$  與  $\Delta N_{it}^*$  之關係式，我們可以證明底下三個元件衰退特性與  $\Delta N_{it}$  之關係式：

1. 倘若  $g_m \equiv \partial I_D / \partial V_G$  且  $\Delta g_m \equiv g_{m,0} - g_m \ll g_{m,0}$ ，則

$$\frac{\Delta g_m}{g_{m,0}} \approx \frac{\Delta g_m}{g_{m,0} - \Delta g_m} = \gamma \cdot \Delta N_{it}^*$$

*Proof.*

廣義而言，

$$\begin{aligned} g_m &\equiv \frac{\partial I_D}{\partial V_G} \\ &= \frac{W \mu C_i V_D}{L(1 + \gamma \Delta N_{it}^*)} \end{aligned}$$

所以，

$$\begin{aligned}\Delta g_m &\equiv g_m(0) - g_m(\Delta N_{it}^*) \\ &= \frac{W\mu C_i V_D}{L} - \frac{W\mu C_i V_D}{L(1 + \gamma \Delta N_{it}^*)} \\ &= \frac{W\mu C_i V_D \gamma \Delta N_{it}^*}{L(1 + \gamma \Delta N_{it}^*)} = \frac{W\mu C_i V_D \gamma}{L} \frac{\Delta N_{it}^*}{1 + \gamma \Delta N_{it}^*}\end{aligned}$$

因此，

$$\begin{aligned}\frac{\Delta g_m}{g_{m,0}} &\approx \frac{\Delta g_m}{g_{m,0} - \Delta g_{m,0}} \quad (\text{若 } \Delta g_m \ll g_{m,0}) \\ &= \left[ \frac{W\mu C_i V_D \gamma}{L} \frac{\Delta N_{it}^*}{1 + \gamma \Delta N_{it}^*} \right] / \left[ \frac{W\mu C_i V_D}{L(1 + \gamma \Delta N_{it}^*)} \right] \\ &= \gamma \Delta N_{it}^*\end{aligned}$$

□

2. 倘若定義閾值電壓  $V_T$  為當汲極電流達  $I_D = I_T$  時之閘極偏壓  $V_G$ ，那麼：

$$\Delta V_T \equiv V_G - V_{G,0} = \left( \frac{\gamma L I_T}{W\mu_0 C_i V_D} + \frac{g}{C_i} \right) \Delta N_{it}^*$$

其中，

- 第一項與  $\mu$  有關， $\Delta N_{it}^* \uparrow$ ， $\mu \downarrow$ ， $\Delta V_T$  出現其效應。
- 第二項與  $Q_{inv}$  有關， $\Delta N_{it}^* \uparrow$ ， $Q_{inv} \downarrow$ ， $\Delta V_T$  出現其效應。

*Proof.*

假設當前  $I_D$  即為  $I_T$ ，那麼：

$$I_T = \frac{W\mu C_i}{L} \left( V_{G,0} - V_T - \frac{V_D}{2} \right) V_D \quad (1)$$

$$I_T = \frac{W\mu}{L(1 + \gamma \Delta N_{it}^*)} \left[ C_i \left( V_G - V_T - \frac{V_D}{2} \right) - q \Delta N_{it}^* \right] V_D \quad (2)$$

藉由 Eq.(1) 與 Eq.(2)，可以將  $V_{G,0}$  與  $V_G$  都表示為  $I_T$  之函數：

$$V_{G,0} = \frac{I_T L}{W\mu C_i V_D} + V_T + \frac{V_D}{2} \quad (3)$$

$$V_G = \frac{I_T L(1 + \gamma \Delta N_{it}^*)}{W\mu C_i V_D} + \frac{q \Delta N_{it}^*}{C_i} + V_T + \frac{V_D}{2} \quad (4)$$

最後將 Eq.(3) 與 Eq.(4) 代入  $\Delta V_G \equiv V_G - V_{G,0}$  中：

$$\Delta V_G = \left( \frac{\gamma L I_T}{W \mu C_i V_D} + \frac{q}{C_i} \right) \Delta N_{it}^*$$

□

3. 倘若定義 Subthreshold Swing 為

$$S \equiv \frac{\Delta V_G}{1 \text{ decade change of } I_D}$$

並且假設高於 midgap 之界面能井為 acceptor-like，反之為 donor-like，那麼，

$$\Delta S = \frac{q \phi_t \ln(10)}{C_i E_{it}} \cdot \Delta N_{it}^*$$

*Proof.*

因為我們得在 Weak inversion region 去討論  $V_G$  對  $I_D$  之影響，而在此時， $I_D$  又會是以擴散電流為主，而非前述的漂移電流 (Yannis Tsiividis, 2011, p.204)，所以這時的汲極電流會有如下形式：

$$I_{DS} = \frac{W}{L} \mu \phi_t (Q'_{IL} - Q'_{I0})$$

而在考慮 Body-Referenced model 後，可以得到  $Q'_I$  為

$$Q'_{I0} = -\frac{\sqrt{2q\epsilon_s N_A}}{2\sqrt{\psi_{sa}(V_{GB})}} \phi_t e^{[\psi_{sa}(V_{GB}) - 2\phi_F]/\phi_t} \cdot e^{-V_{SB}/\phi_t}$$

$$Q'_{IL} = -\frac{\sqrt{2q\epsilon_s N_A}}{2\sqrt{\psi_{sa}(V_{GB})}} \phi_t e^{[\psi_{sa}(V_{GB}) - 2\phi_F]/\phi_t} \cdot e^{-V_{DB}/\phi_t}$$

因此可得：

$$I_{DS} = \frac{W}{L} \hat{I}(V_{GB}) \left( 1 - e^{-V_{DS}/\phi_t} \right)$$

其中，

$$\begin{aligned}
 \hat{I}(V_{GB}) &= \mu \frac{\sqrt{2q\epsilon_s NA}}{2\sqrt{\psi_{sa}(V_{GB})}} \phi_t^2 e^{[\psi_{sa}(V_{GB}) - 2\phi_F]/\phi_t} \cdot e^{-V_{SB}/\phi_t} \\
 &\approx \mu \frac{\sqrt{2q\epsilon_s NA}}{2\sqrt{\psi_{sa}(V_{GB})}} \phi_t^2 e^{\frac{V_{GB} - V_x}{n\phi_t}} \cdot e^{-V_{SB}/\phi_t} \\
 &\approx \mu \frac{\sqrt{2q\epsilon_s NA}}{2\sqrt{\psi_{sa}(V_{GB})}} \phi_t^2 e^{\frac{(V_{GB} - nV_{SB}) - V_x}{n\phi_t}} \\
 &\approx \mu \frac{\sqrt{2q\epsilon_s NA}}{2\sqrt{\psi_{sa}(V_{GB})}} \phi_t^2 e^{(V_{GS} - V_x)/(n\phi_t)}
 \end{aligned}$$

其中，

$$n \equiv \left( \frac{d\psi_{sa}}{dV_{GB}} \right)^{-1} \Big|_{\psi_{sa}=2\phi_F}$$

因此，在固定  $V_D = V_{DS}$  下， $I_D$  與  $V_G$  有著如下關係：

$$I_D \approx A \exp\left(\frac{V_{GS} - V_x}{n\phi_t}\right)$$

然而，倘若考慮  $Q_{it}$ ，則因為  $V_{GB} \approx V_{FB} + \psi_S + \gamma\sqrt{\psi_S} - \frac{Q_{it}}{C'_{ox}}$ ：

$$\begin{aligned}
 n^* &\approx 1 + \frac{\gamma}{2\sqrt{2\phi_F}} + \frac{C'_{it}}{C'_{ox}} \\
 &= n + \frac{C'_{it}}{C'_{ox}}
 \end{aligned}$$

其中， $C'_{it} \equiv -dQ_{it}/d\psi_S$ 。因此，根據 Subthreshold Swing 之定義，我們比較在  $I_D = I_{D,0}$  與  $I_D = 10I_{D,0}$  之  $V_G$  差異：

$$\begin{aligned}
 I_{D0} &= A \exp\left(\frac{V_{G,0} - V_x}{n\phi_t}\right) \\
 10 \cdot I_{D0} &= A \exp\left(\frac{V_{G,0} + \Delta V_G - V_x}{n\phi_t}\right)
 \end{aligned}$$

因此，

$$\begin{aligned}
 S. S. &\equiv \Delta V_G \Big|_{I_D/I_{D0}=10} \\
 &= n\phi_t \ln(10)
 \end{aligned}$$



接著考慮有無  $\Delta N_{it}^*$  之 S. S. 差值：

$$\begin{aligned}\Delta S &= n^* \phi_t \ln(10) - n \phi_t \ln(10) \\ &= \frac{C'_{it}}{C'_{ox}} \phi_t \ln(10)\end{aligned}$$

最後，倘若假設高於 midgap 之界面能井為 acceptor-like，反之為 donor-like，那麼我們可以稍微改寫  $C'_{it}$ ：

$$\begin{aligned}C'_{it} &\equiv -\frac{dQ_{it}}{d\psi_S} \\ &= -\frac{d}{d\psi_S} \{(-q) D_{it} [E_F - E_{i,s}(\psi_S)]\} \\ &= q D_{it} \frac{d}{d\psi_S} [E_F - (E_{i,B} - q\psi_S)] \\ &= q D_{it} \frac{d}{d\psi_S} [(E_F - E_{i,B}) + q\psi_S] \\ &= \underbrace{q D_{it}}_{C/(eV \cdot \text{cm}^2)} \underbrace{\frac{d}{d\psi_S} (q\phi_B + q\psi_S)}_{(J/V)} \\ &= \underbrace{q D_{it}}_{C/(eV \cdot \text{cm}^2)} \underbrace{\frac{d}{d\psi_S} (\phi_B + \psi_S)}_{(eV/V)} \\ &= q \underbrace{D_{it}}_{\#/(eV \cdot \text{cm}^2)} \times (1 \text{ eV/V}) \\ &= q \frac{\Delta N_{it}^*}{E_{it}}\end{aligned}$$

因此，

$$\Delta S = \frac{q\phi_t \ln(10)}{C_i E_{it}} \cdot \Delta N_{it}^*$$

□

※ 元件特性衰退會增加 GIDL (Gate Induced Drain Leakage)

- 關閉元件時，閘極與汲極間有著 band-to-band tunneling。
- B-D tunneling (Band-to-defect) 與  $N_{it}$  有關，參考圖 (3.27)。
- 經 stress 後， $\Delta D_{it} \uparrow$ ， $I_{GIDL} \uparrow$ ，出現”shoulder”。
- 小  $V_{DG}$  時，B-D 穿隧引起的  $I_{GIDL}$  較大，與  $\Delta D_{it}$  有關。

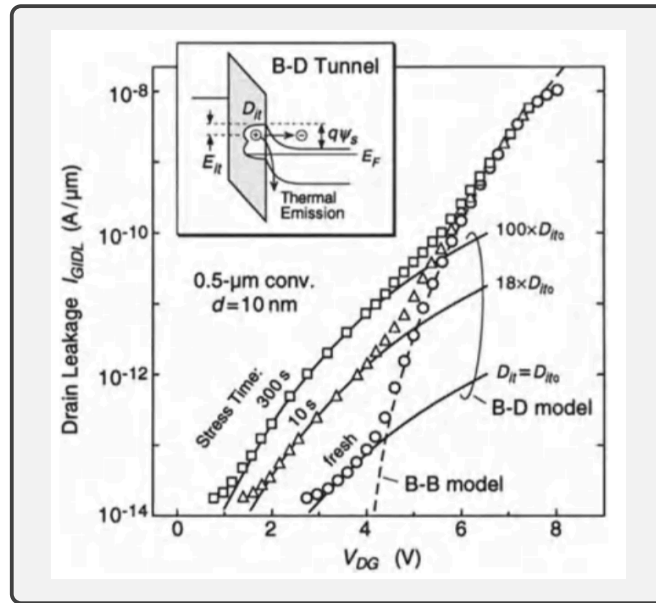


Figure 3.27: GIDL current  $I_{GIDL}$  versus  $V_{DG}$  curves measured before and after hot-carrier stress ( $V_{Dstr}/V_{Gstr} = 5.5 \text{ V} / 2 \text{ V}$ ) for a  $0.5 - \mu\text{m}$  conventional n-FET with  $d = 10 \text{ nm}$ . Theoretical I-V curves for not only Band-to-Band (B-B) tunneling but also Band-to-Defect (B-D) tunneling are exhibited.

- 大  $V_{DG}$  時，B-B 穿隧引起的  $I_{GIDL}$  較大，與  $\Delta D_{it}$  無關。

$$I_{GIDL} \propto D_{it} \cdot C(E_{it}) \int_0^{x_t} q \cdot a \cdot \varepsilon(x)^2 \cdot \exp\left[-\frac{-b}{\varepsilon(x)}\right] dx$$

其中，

$$x_t = W_m \left( 1 - \sqrt{1 - \frac{E_{it}}{q\psi_s}} \right)$$

$$a = \frac{2\pi q^2 m^{*1/2}}{qh^2 E_{it}^{1/2}}$$

$$b = \frac{\pi^2 m^{*1/2} E_{it}^{3/2}}{hq}$$

### 3.4 氧化層崩潰穩定度理論

#### §3.4.1 崩潰特性與機制

- 可分成 time-zero dielectric breakdown (TZDB) 以及 time-dependent dielectric breakdown (TDDB) 兩種崩潰特性。

### \*3.4.1.1 TDDB 特性與機制

\* 可分成 Constant Current Stress (CCS) 與 Constant Voltage Stress (CVS)。

→ 涉及電荷捕捉 (Charge trapping)，改變氧化層中的電場分佈  $\epsilon_{\text{ox}}(x)$ ，增加 impact ionization rate，引起額外之電子電洞對。到一定電場時，就會使電流增益變得無窮大，發生崩潰。

→ 目前較為接受的解釋為 hole-induced breakdown model。

\* 電子與電洞之捕捉都會會改變氧化層中的電場分佈。

\* 在 Weak spot 處 (B mode) 含有 hole trap。施加固定電流/電壓時會捕捉電洞，改變電場，增加 F-N 穿隧電流。此機制會持續引起正回饋，直到發生崩潰。

\* 除了上述機制外，電子也會被捕捉，但會比電洞還要晚被捕捉，這會使 F-N 穿隧電流減小，但是與崩潰機制較無關。

解釋. 我認為之所以電子與崩潰機制較無關，是因為電子雖然會降低電場，但只是局域的降低，沒辦法避免有局部的電場放大 (因電洞的累積)。

\* 實驗發現，崩潰所需之  $Q_p$  幾乎為定值，並且與整體閘極電流大小無關，所以 hole-induced breakdown model 較為合理。

\* 低溫時，電洞能量較低，倘若電場不夠大，那麼就需要累積足夠多的電洞才能夠扭曲周圍電場，使得電洞克服能障並被能阱捕捉，進而釋放  $H^+$  並根據 broken-bond model 以及  $(HT)^2$  model 促發崩潰。然而，高溫時，電洞能量都非常高，不需要什麼電場，電洞就能

### §3.4.2 崩潰模型與穩定度評估

\* 主要針對 TDDB 之  $Q_{\text{BD}}$  或  $t_{\text{BD}}$  提出模型。

→ 先對 intrinsic TDDB 解釋

→ 再修正適合 extrinsic TDDB 之解釋 (oxide thinning model)

#### \*3.4.2.1 Intrinsic Oxide Breakdown model

\*  $Q_{\text{BD}}$ : Charge-to-breakdown，氧化層在崩潰前所通過的總電荷量。

\*  $t_{\text{BD}}$ : Time-to-breakdown，在 CCS 或 CVS 下，於崩潰前所承受之時間。

※ 假設氧化層崩潰前，在氧化層內經 impact ionization 所產生之總電洞數量  $Q_p$  為定值：

$$Q_p = J_p \cdot t \propto (J_G \cdot \alpha) \cdot t$$

其中， $J_G = J_{inj}$  電子電流。又因為  $J_G$  為 F-N tunneling current，所以，

$$J_G \propto \exp\left(-\frac{B}{\varepsilon_{ox}}\right), \quad B \approx 240 \text{ MV/cm}$$

以及  $\alpha$  為 hole-generation coefficient，

$$\alpha \propto \exp\left(-\frac{H}{\varepsilon_{ox}}\right), \quad H \approx 110 \text{ MV/cm}$$

其中， $\varepsilon_{ox} = V_{ox}/t_{ox}$ 。因此，

$$Q_p \propto \exp\left(-\frac{G}{\varepsilon_{ox}}\right) = \exp\left[-\frac{(B+H)}{\varepsilon_{ox}}\right] \cdot t$$

而當氧化層崩潰時， $Q_p$  為某定值，且此時間為  $t = t_{BD}$ ，所以

$$t_{BD} \propto \exp\left(\frac{G}{\varepsilon_{ox}}\right)$$

※  $1/\varepsilon$ -model： $t_{BD} = \tau_0(T) \cdot \exp\left[\frac{G(T)}{\varepsilon_{ox}}\right]$

經驗公式：

$$G(T) = G \left\{ 1 + \left[ \frac{\delta}{k} \left( \frac{1}{T} - \frac{1}{300} \right) \right] \right\}$$

$$\tau_0(T) = \tau_0 \exp\left[-\frac{E_b}{k} \left( \frac{1}{T} - \frac{1}{300} \right)\right]$$

其中， $\tau_0 = 10^{-11}$  s， $G = 350$  MV/cm， $E_b = 0.28$  eV， $\delta = 0.0167$  eV。

※ (field) acceleration factor (參考 Fig. (3.28))：

$$\beta = -\frac{\partial \ln t_{BD}}{\partial \varepsilon_{ox}} \propto \frac{G}{\varepsilon_{ox}^2}$$

解釋. 對於小電場，其  $\varepsilon$ -model 為：

$$t_f = A \cdot e^{-\gamma(T) \cdot \varepsilon} \cdot e^{E_a/k_B T}$$

因此，

$$\beta = -\frac{\partial \ln t_f}{\partial \varepsilon} = \gamma(T)$$

\* 在 300 K 時：

$$t_{\text{BD}}(300 \text{ K}) = 10^{-11} \text{ (s)} \cdot \exp \left[ 350 \text{ (MV/cm)} \cdot \frac{t_{\text{ox}} \text{ (cm)}}{V_{\text{ox}} \text{ (V)}} \right]$$

$$* t_{\text{BD},1} = \tau_0 \exp \left( \frac{G \cdot t_{\text{ox}}}{V_{\text{ox},1}} \right)$$

$$t_{\text{BD},2} = \tau_0 \exp \left( \frac{G \cdot t_{\text{ox}}}{V_{\text{ox},2}} \right)$$

因此，

$$\begin{aligned} \frac{t_{\text{BD},2}}{t_{\text{BD},1}} &= \exp \left[ G \cdot t_{\text{ox}} \left( \frac{1}{V_{\text{ox},2}} - \frac{1}{V_{\text{ox},1}} \right) \right] \\ &= \exp \left[ -\frac{G \cdot t_{\text{ox}}}{V_{\text{ox},1}} \left( 1 - \frac{V_{\text{ox},1}}{V_{\text{ox},2}} \right) \right] \\ &= \left( \frac{\tau_0}{t_{\text{BD},1}} \right)^{\left( 1 - \frac{V_{\text{ox},1}}{V_{\text{ox},2}} \right)} \end{aligned}$$

\* 由 Fig. (3.28) 以及 Fig. (3.29) 可知， $\beta \propto G/\varepsilon_{\text{ox}}^2$ ，與  $1/\varepsilon$ -model 相符合。

#### \*3.4.2.2 Extrinsic Oxide Breakdown model

\* 考慮氧化層中的缺陷，使其等效厚度變小 (effective oxide thinning)，其厚度變化為  $\Delta t_{\text{ox}}$ 。那麼，

$$\begin{aligned} t_{\text{BD}} &= \tau_0 \exp \left( \frac{G}{\varepsilon_{\text{ox}}(\text{eff})} \right) = \tau_0 \exp \left[ \frac{G (t_{\text{ox}} - \Delta t_{\text{ox}})}{V_{\text{ox}}} \right] \\ &= \tau_0 \exp \left[ \frac{G t_{\text{ox}} (1 - \Delta t_{\text{ox}}/t_{\text{ox}})}{V_{\text{ox}}} \right] = \tau_0 \exp \left[ \frac{G}{\varepsilon_{\text{ox}}} \left( 1 - \frac{\Delta t_{\text{ox}}}{t_{\text{ox}}} \right) \right] \\ &= t_{\text{BD,no defect}}^{\left( 1 - \frac{\Delta t_{\text{ox}}}{t_{\text{ox}}} \right)} \end{aligned}$$

其中， $\varepsilon_{\text{ox}} = \frac{V_{\text{ox}}}{t_{\text{ox}}}$  為沒有  $\Delta t_{\text{ox}}$  時之 oxide 電場

$$\varepsilon_{\text{ox}}(\text{eff}) = \frac{V_{\text{ox}}}{t_{\text{ox}} - \Delta t_{\text{ox}}} = \frac{V_{\text{ox}}}{t_{\text{ox}}(\text{eff})} \text{ 為考慮 } \Delta t_{\text{ox}} \text{ 後之 local 電場 } (> \varepsilon_{\text{ox}})$$

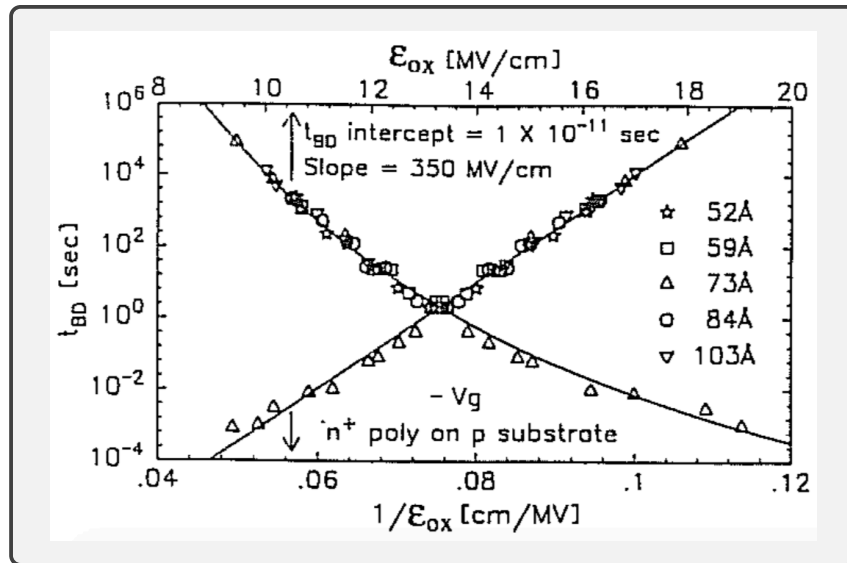


Figure 3.28:  $\log(t_{BD})$  versus  $1/\epsilon_{ox}$  for different gate oxide thickness.  $\log(t_{BD})$  follows a linear relationship with  $1/\epsilon_{ox}$ , not  $\epsilon_{ox}$ . Small-area oxide samples ( $80 \mu\text{m}^2$ ) were used such that intrinsic breakdown dominates and little statistical variation of  $t_{BD}$  at any one applied electric field was observed.)

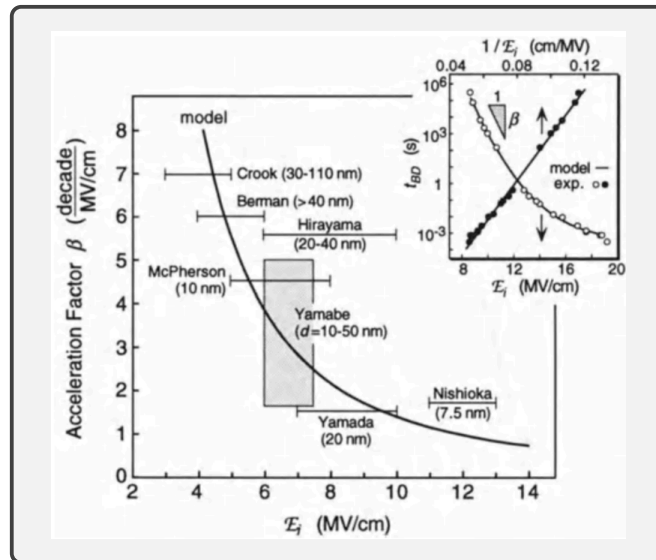


Figure 3.29: Theoretical field acceleration factor  $\beta$  versus insulator field  $\epsilon_i$ , being compared with reported results. The inset shows that  $\log(t_{BD})$  follows a linear relation with  $1/\epsilon_i$ , as predicted by the hole-induced breakdown model.

→  $\Delta t_{\text{ox}}$  越大， $t_{\text{ox}(\text{eff})} = t_{\text{ox}} - \Delta t_{\text{ox}}$  越小， $\varepsilon_{\text{ox}(\text{eff})}$  越大，則  $t_{\text{BD}}$  越小，表示 oxide thinning 將造成 oxide 提早崩潰。

\* 由  $t_{\text{BD}} = \tau_0 \exp \left[ \frac{G(t_{\text{ox}} - \Delta t_{\text{ox}})}{V_{\text{ox}}} \right]$   
可得

$$\Delta t_{\text{ox}} = t_{\text{ox}} - \frac{V_{\text{ox}}}{G} \ln \left( \frac{t_{\text{BD}}}{\tau_0} \right)$$

顯示  $\Delta t_{\text{ox}}$  與  $t_{\text{BD}}$  之相關性。此外，我們可以藉由底下推導來繪製  $\ln t_{\text{BD}}$  與  $1/\varepsilon_{\text{ox}}$  的圖：

$$t_{\text{BD}} = \tau_0 \exp \left[ \frac{G}{\varepsilon_{\text{ox}}} \left( 1 - \frac{\Delta t_{\text{ox}}}{t_{\text{ox}}} \right) \right]$$

$$\ln t_{\text{BD}} = \ln \tau_0 + \frac{G}{\varepsilon_{\text{ox}}} \left( 1 - \frac{\Delta t_{\text{ox}}}{t_{\text{ox}}} \right)$$

→ 截距： $\ln \tau_0$

→ 斜率： $G(1 - \Delta t_{\text{ox}}/t_{\text{ox}}) = (B + H)(1 - \Delta t_{\text{ox}}/t_{\text{ox}})$

#### \*3.4.2.3 $\Delta t_{\text{ox}}$ 與缺陷密度 $D$ 之關係

\* 氧化層中存在各種缺陷，造成不同的  $\Delta t_{\text{ox}}$ ，使得有著許多不同的  $t_{\text{BD}}$ ，所以  $\Delta t_{\text{ox}}$  與缺陷密度  $D$  ( $\text{cm}^{-2}$ ) 之關係就特別重要。

\* 在晶圓 (chip) 中找到  $m$  個缺陷之機率  $P(m)$ ，依據 Poisson distribution，可表示為：

$$P(m) = \frac{(AD)^m e^{-AD}}{m!}$$

其中， $A$  為晶圓面積， $D$  為缺陷密度。此外，令晶圓中沒有缺陷之機率 (即良率 yield) 為  $Y$ ，也就是說，

$$Y = P(0) = e^{-AD} \approx 1 - AD + \dots, \quad \text{if } AD \ll 1$$

由於實際之缺陷並非上述之均勻分布，所以將上式修改為：

$$Y = \frac{1}{(1 + \gamma AD)^{1/\gamma}} = 1 - AD \pm \dots$$

其中， $\gamma$  為介於 0 與 1 之間的數，此分佈稱為 gamma distribution。

→  $A$  越大或  $D$  越大，則  $AD$  越大， $Y$  越小。

※ 在氧化層中找到等效氧化層厚度變化 (effective oxide thinning) 比  $\Delta t_{\text{ox}}$  大之缺陷的機率，就相當於找到崩潰時間比  $t_{\text{BD}}$  小之機率 ( $F$ ：積累故障百分率)，因此，

$$\therefore F(t_{\text{BD}}) = P(\Delta t_{\text{ox}})$$

$$\therefore P = 1 - Y$$

$$\therefore F(t_{\text{BD}}) = 1 - [1 + \gamma AD(\Delta t_{\text{ox}})]^{-1/\gamma}$$

→ 根據實驗  $F$  對  $t_{\text{BD}}$  之分佈圖，由縱座標  $F(t_{\text{BD}})$  代入上式可得  $D(\Delta t_{\text{ox}})$  之值，另外我們可直接將  $t_{\text{BD}}$  代入  $\Delta t_{\text{ox}} = t_{\text{ox}} - \frac{V_{\text{ox}}}{G} \ln\left(\frac{t_{\text{BD}}}{\tau_0}\right)$  以得知  $\Delta t_{\text{ox}}$ ，所以我們就得到了某製程之缺陷密度  $D$  對氧化層厚度變化  $\Delta t_{\text{ox}}$  的關係。也就是說，將下兩式之  $t_{\text{BD}}$  消掉即可：

$$\begin{cases} \Delta t_{\text{ox}} = t_{\text{ox}} - \frac{V_{\text{ox}}}{G} \ln\left(\frac{t_{\text{BD}}}{\tau_0}\right) \\ F(t_{\text{BD}}) = 1 - [1 + \gamma AD(\Delta t_{\text{ox}})]^{-1/\gamma} \end{cases}$$

- 較大  $\Delta t_{\text{ox}}$  的缺陷數目較少。
- 較小  $\Delta t_{\text{ox}}$  的缺陷數目較多。
- 不論晶圓面積  $A$  與氧化層端電壓  $V_{\text{ox}}$  是多少，只要相同製程，那麼  $D(\Delta t_{\text{ox}})$  就幾乎相同。

$$\ast F(t_{\text{BD}}) = 1 - [1 + \gamma AD(\Delta t_{\text{BD}})]^{-1/\gamma}$$

只要找到  $D(\Delta t_{\text{ox}})$ ，就可預測在各種  $A$  與  $V_{\text{ox}}$  下之  $F(\Delta t_{\text{ox}})$ 。

- $\Delta t_{\text{ox}}$  越大， $t_{\text{BD}}$  越小。
- $A$  越大，對任意崩潰時間  $t_{\text{BD}}$  而言， $F$  都是越大。
- 對於固定的積累故障百分率， $V_{\text{ox}} (= V_i)$  越大， $\varepsilon_{\text{ox}}$  越大，所需之崩潰時間  $t_{\text{BD}}$  越小。

#### ※3.4.2.4 穩定度評估範例

- 請求出 8 nm 厚之沒有任何缺陷的氧化層，在  $V_{\text{ox}} = 5 \text{ V}$  且 300 K 下之  $t_{\text{BD}}$  為何？

*Solution.*

根據大電場之  $1/\varepsilon$ -model， $t_{\text{BD}} = \tau_0(T) \exp\left[\frac{G(T)}{\varepsilon_{\text{ox}}}\right]$ ，以及下列之經驗公式，

$$G(T) = G \left\{ 1 + \left[ \frac{\delta}{k} \left( \frac{1}{T} - \frac{1}{300} \right) \right] \right\}$$

$$\tau_0(T) = \tau_0 \exp \left[ -\frac{E_b}{k} \left( \frac{1}{T} - \frac{1}{300} \right) \right]$$



其中，根據經驗， $\tau_0 = 10^{-11}$  s， $G = 350$  MV/cm， $E_b = 0.28$  eV， $\delta = 0.0167$  eV。可以推得

$$t_{BD} = 10^{-11} \text{ (s)} \exp \left[ \frac{350 \text{ (MV/cm)}}{5 \text{ V} / 8 \text{ nm}} \right]$$

$$\approx 5.18 \times 10^{10} \text{ s} > 1000 \text{ yr}$$

■

- 若希望當前之 MOSFET 能在  $V = 5.5$  (V)， $150^\circ\text{C}$  (425 K)，工作 10 年而沒有出現氧化層崩潰，那麼最小的 defect-free oxide 厚度為何？

*Solution.*

根據大電場之  $1/\varepsilon$ -model， $t_{BD} = \tau_0(T) \exp \left[ \frac{G(T)}{\varepsilon_{ox}} \right]$ ，可知倘若  $t_{BD} > 10 \text{ yr} = 3.154 \times 10^8 \text{ s}$ ，則

$$G(425 \text{ K}) = 350 \text{ (MV/cm)} \left\{ 1 + \left[ \frac{0.0167 \text{ eV}}{8.625 \times 10^{-5} \text{ eV/K}} \left( \frac{1}{425 \text{ K}} - \frac{1}{300 \text{ K}} \right) \right] \right\}$$

$$= 283 \text{ (MV/cm)}$$

$$\tau_0(425 \text{ K}) = 10^{-11} \text{ s} \exp \left[ -\frac{0.28 \text{ eV}}{8.625 \text{ eV/K}} \left( \frac{1}{425 \text{ K}} - \frac{1}{300 \text{ K}} \right) \right]$$

$$= 0.75 \times 10^{-11} \text{ s}$$

$$t_{BD} = \tau_0(T) \exp \left[ \frac{G(T)}{\varepsilon_{ox}} \right]$$

$$= 0.75 \times 10^{-11} \text{ (s)} \exp \left[ \frac{283 \text{ (MV/cm)}}{5.5 \text{ (V)} / t_{ox}} \right] > 3.154 \times 10^8 \text{ s}$$

因此， $t_{ox}$  至少為  $88\text{\AA}$ 。

■

- 希望有一操作在  $125^\circ\text{C}$  之氧化層能在 10 年內都沒有崩潰，那麼最大之施加電場為何？

*Solution.*

■

- 根據所附之  $F(t_{BD})$ ，求出當  $\Delta t_{ox} = 30\text{\AA}$  及  $\Delta t_{ox} = 20\text{\AA}$  之  $D(\Delta t_{ox})$  值。假設缺陷分佈之不均勻程度為  $\gamma = 0.6$ ，且晶圓面積為  $A = 25 \text{ mm}^2$ 。

*Solution.*

■



## 4

# 輻射穩定度

Ref: "Basic Mechanisms of Radiation Effects in the Natural Space Radiation Environment," D.M. Fleetwood, 太空電子輻射效應短期課程, 中正理工學院 / 行政院太空計畫室籌備處 / 中華民國電子材料與元件協會 1996 / 6 / 4 ~ 5

### 4.1 輻射對材料之影響

\* 主要可分為游離 (ionization) 與位移 (displacement) 兩大效應。

#### §4.1.1 游離效應 (Ionization effects)

- a) Photoelectric effect (或 fluorescent): 入射光子能量較低, 完全被原子吸收, 產生自由電子 (即光電效應) 以及剩下被游離的原子, 緊接著伴隨發出較低能量的光子 (外層電子向內填補內層軌域)。
- b) Compton scattering effect: 入射光子能量較高, 部分能量傳遞給電子並發射出自由電子, 剩下被游離的原子 (ionized atom; 原先光子能量變小 (並沒有消失), 並在不同方向繼續前進)。
- c) Pair production: 入射光子能量非常高 ( $> 1.03 \text{ MeV}$ ), 光子完全被吸收並發出正電子與負電子 (electron 與 positron)。

→ 主要結果為產生 energetic secondary electrons。

\* 參考圖 (4.2), 虛線代表 Si ( $Z = 14$ ) 對  $10 \text{ keV}$  之 X-ray 主要反應為光電效應; 對  $1.25 \text{ MeV}$  之  $\gamma$ -ray 主要反應為康卜頓散射。

##### \*4.1.1.1 Electron-hole pair generation

$$g_0 \text{ (pairs/cm}^3\text{)} \equiv \frac{\text{material density (g/cm}^3\text{)} \times \text{deposited energy per rad (rad/g)}}{E_p \text{ (eV)}}$$

其中,  $1 \text{ rad} = 100 \text{ erg/g} = 6.24 \times 10^{13} \text{ eV/g}$ , 見圖 (4.3)。

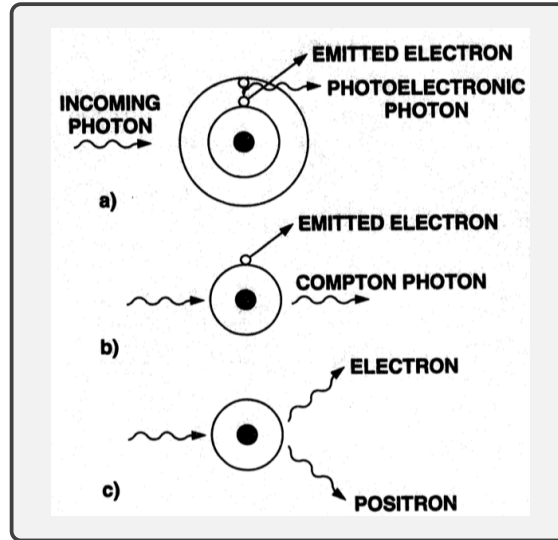


Figure 4.1: Schematic drawing of three processes through which photons interact with material: a) photoelectric effect; b) Compton scattering, and c) pair production.

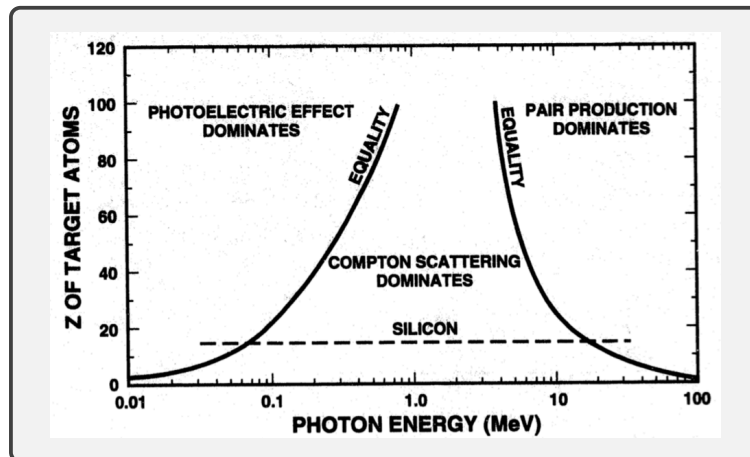


Figure 4.2: Schematic drawing of three processes through which photons interact with material: a) photoelectric effect; b) Compton scattering, and c) pair production.

Material	$E_p$ (eV)	Density (g/cm <sup>3</sup> )	Pair density generated per rad, $g_0$ (pairs/cm <sup>3</sup> )
GaAs	~4.8	5.32	~7 x 10 <sup>13</sup>
Silicon	3.6	2.328	4 x 10 <sup>13</sup>
Silicon Dioxide	17	2.2	8.1x10 <sup>12</sup>

Figure 4.3: Minimum energies for creating electron-hole pairs and densities for GaAs, silicon, and silicon dioxide.

- \* 由高能量光子、電子或質子，可以游離原子並產生電子電洞對。若這些被產生的電子電洞對的能量足夠大，那麼可再繼續產生電子電洞對。

#### \*4.1.1.2 Dose Enhancement

- \* Charge-particle equilibrium (CPE)：某元素之輻射能量與吸收能量相同，參考圖（4.4）。對任何材料而言，若吸收能量比輻射能量還要高，則必然會使整體能量越來越大，同時輻射功率變大，因此終究會達 CPE 平衡。

解釋。因為矽的原子量較小，所以輻射出去的功率比較大，所以在界面時，矽隔壁的金給予它的輻射劑量，高過矽向外輻射的劑量，使得界面上的矽之輻射劑量比在矽之內部區域（遠離界面處）的輻射劑量還要高。相反地，金接收到的輻射劑量低於自己輻射出去的輻射劑量，所以金在界面處的輻射劑量就比在其內部區域（遠離界面處）還要低。而圖（4.4）也告訴我們，外界的輻射方向（Direction of radiation）也會顯著影響界面處的相對輻射劑量分佈。

- \* 若兩相鄰材料達 CPE 平衡，則

$$\frac{\text{Deg}(1)}{\text{Deg}(2)} = \frac{(\mu_{\text{en}}/\rho)_1}{(\mu_{\text{en}}/\rho)_2}$$

其中， $\text{Deg}(1,2)$  為材料 1,2 之相對劑量 (erg/g)， $\mu_{\text{en}}$  為單位體積能量吸收速率 (erg/cm<sup>3</sup>)， $\rho_{1,2}$  為其質量密度， $(\mu_{\text{en}}/\rho)_{1,2}$  則為材料 1,2 之能量吸收係數。

- \* 對 1.25 MeV 之  $\gamma$ -ray (Co-60)：MOS 之聚晶矽閘極對 SiO<sub>2</sub>， $\text{dose}[\text{rad}(\text{Si})] \approx \text{dos}[\text{rad}(\text{SiO}_2)]$ ，dose enhancement 效應不大，主要機制為康卜頓散射。

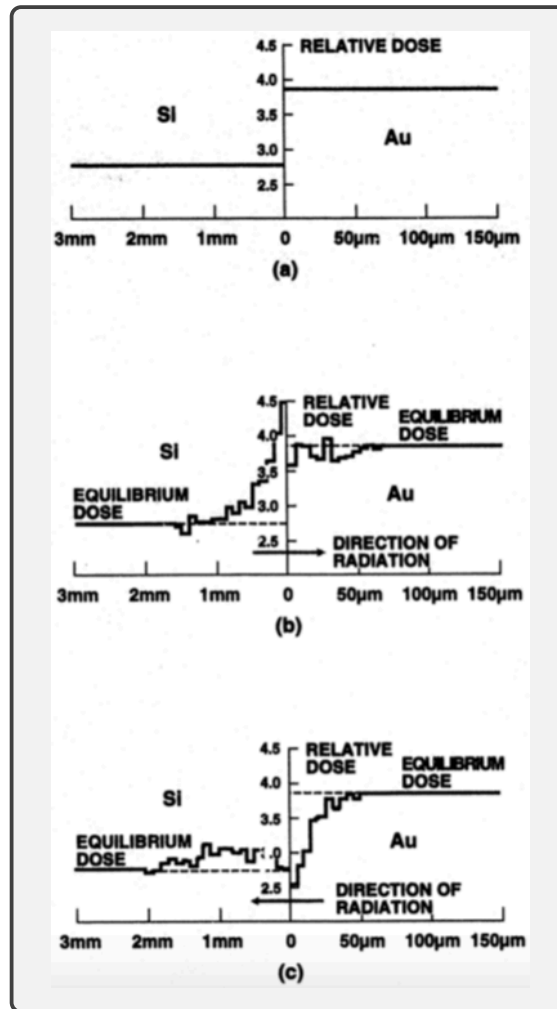


Figure 4.4: Relative dose enhancement at the silicon/gold interface. a) The relative dose in charge-particle equilibrium, b) the direction of the incident radiation going from the silicon to the gold, and (c) the direction of the incident radiation from the gold to the silicon.

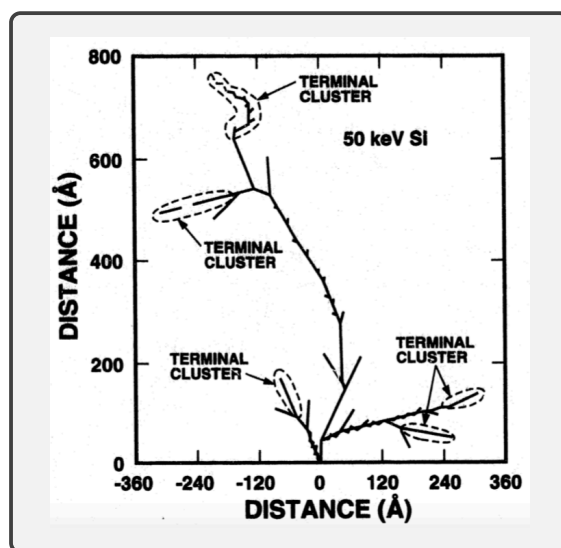


Figure 4.5: Defect cascade created by a 50-keV silicon recoil atom.

- \* 對 10 keV 之  $x$ -ray :  $\text{dose}[\text{rad}(\text{Si})] \approx 1.8 \text{dose}[\text{rad}(\text{SiO}_2)]$  , dose enhancement 效應較大, 主要機制為光電效應。
- \* 若採用 metal silicide gate, 因原子量較大 (例如: W 或 Ta), 其 dose enhancement 效應更大, 在計算輻射引起之電子電洞對數量時, 就需要列入考慮。

#### §4.1.2 位移效應 (Displacement effects)

- \* 圖 (4.5) 中, 移動路徑上之破壞程度較小, 也就是說能量轉移效率低; 而在終端 (terminal cluster) 之破壞效果大, 能量轉移效率高。其效果類似於離子佈植。
- \* 一系列的缺陷形成缺陷叢 (defect cluster), 參考圖 (4.5)。
- \* displacement threshold energy: 將原子從晶格點剔除所需之最小能量。
- \* 原子移位, 會形成間隙原子 (interstitial atom) 與空位 (vacancy) 對, 這稱為 Frenkel pair。

## 4.2 MOS 元件之輻射效應

- \* 在  $\text{SiO}_2$  內產生之電子移動速度非常快 (psec), 而電洞移動非常慢。
- \* 其中一個能井產生機制模型為: 電洞在 hopping 或是被捕捉 (trapped) 時會釋放  $\text{H}^+$ , 移到  $\text{SiO}_2/\text{Si}$  界面後可形成  $D_{it}$ 。





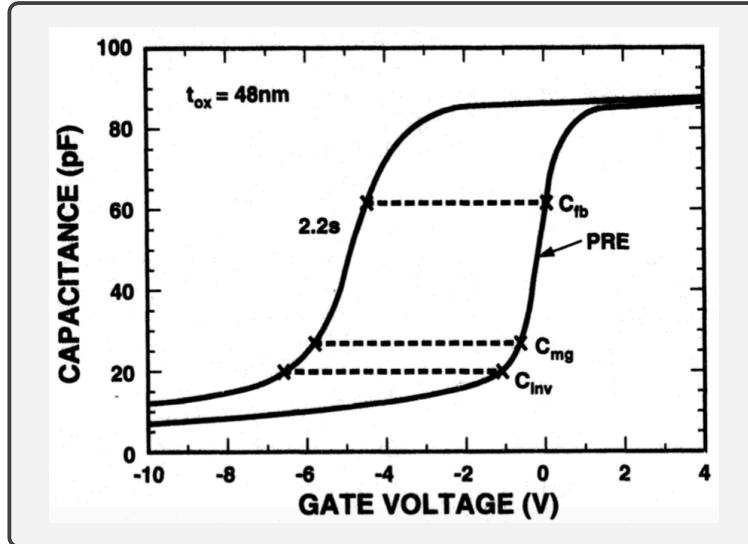


Figure 4.7: Typical C-V traces taken on an MOS capacitor preirradiation and 2.2 s after a 1 Mrad(Si) irradiation. Noted on the C-V traces are the points corresponding to flatband ( $C_{fb}$ ), midgap ( $C_{mg}$ ), and inversion ( $C_{inv}$ ) capacitance.

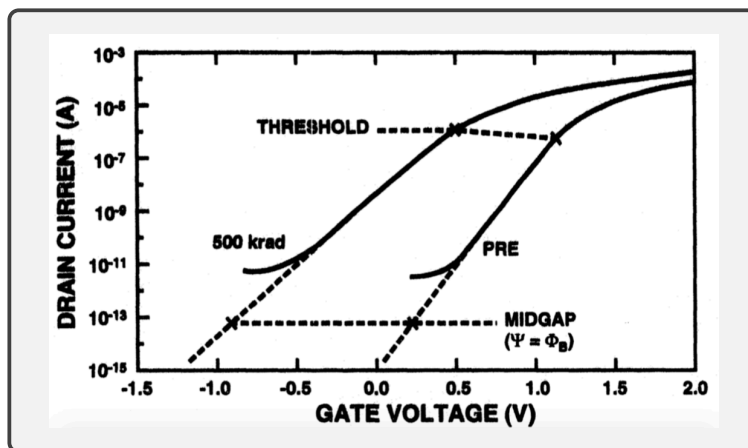


Figure 4.8: IV traces taken on an MOS transistor preirradiation and after irradiating to 500 krad(Si). Noted on the I-V traces are the points corresponding to threshold and midgap.

※ Midgap I-V technique :

$$I_{DS,lin} = \frac{\mu C_{ox} W}{L} (V_{GS} - V_{th}) V_{DS}$$

$$I_{DS,sat} = \frac{mW}{L} \mu C_{ox} (V_{GS} - V_{th})^2$$

其中， $m$  為常數，與濃度有關，在低摻雜濃度時， $m \approx 1/2$ 。

※ Charge-pumping technique : Triangular charge-pumping current  $I_{cp}$

$$I_{cp} \approx 2qD_{it}fAk_{BT} \left[ \ln(v_{th}n_i\sqrt{\sigma_n\sigma_p}) + \ln\left(\frac{V_{fb} - V_{th}}{2|\Delta V_g|f}\right) \right]$$

其中， $\Delta V_g$  為測量信號之振幅， $\sigma_n$  與  $\sigma_p$  為電子與電洞的 capture cross-section。

解釋. 主要有兩個方法去測量 interface-trap charge 與 oxide-trap charge 的貢獻，第一個是 midgap I-V technique，第二個則是 charge-pumping technique。圖 (4.8) 為 midgap I-V technique 的方法。簡單來說，可以由圖中的 midgap point 的平移來決定 oxide-trap charge 對閾值電壓變化之貢獻程度， $\Delta V_{ot}$ 。而此外，我們可以用圖中的閾值電壓變化得知，扣掉剛才算出的  $\Delta V_{ot}$ ，就可以算出來：

$$\Delta V_{th} = \Delta V_{ox} + \Delta V_{it}$$

Similar to high-frequency C-V analysis, the threshold-voltage shift due to oxide-trap charge,  $\Delta V_{ot}$ , is determined from the voltage shift between the pre- and postirradiation I-V curves at the midgap point, and the total-threshold-voltage shift,  $\Delta V_{th}$ , is determined from the voltage shift between the pre- and postirradiation I-V curves at the threshold-voltage point. The threshold voltage shift due to interface-trap charge,  $\Delta V_{it}$ , is determined from the stretchout in the I-V curves, i.e., the difference in the voltage shift at threshold pre- and postirradiation minus the voltage shift at midgap pre- and postirradiation.

#### ※4.2.1.1 電子自旋共振 (Electron Spin Resonance)

※ 可測量  $\text{SiO}_2$  之微結構，經由測量電子之 intrinsic angular momentum (spin) 能量而判斷得知。

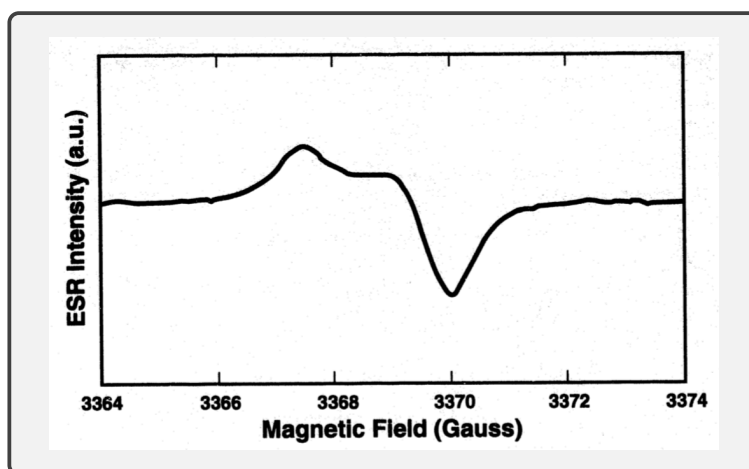


Figure 4.9: Typical electron paramagnetic resonance spectrum.

- ※ 在外加磁場  $H$  下，電子之自旋方向只有兩個能階 (state)，不同自旋之電子能量差可表示為：

$$E = h\nu = g\beta H$$

其中， $H$  為微波頻率 (microwave frequency)， $\beta$  為波耳磁矩 (Bohr magneton,  $\mu_B = \frac{eh}{4\pi m_e c}$ )， $g$  為維度張量 (dimensional tensor)，與能階分裂 (splitting) 程度、原子離子特性以及缺陷之對稱性有關。

- ※ 原子或離子必須是順磁性 (paramagnetic)，具有未成對電子 (unpaired electron) 才能夠共振吸收 (EPR signal)。

→ ESR 又稱為 electron paramagnetic resonance，EPR。

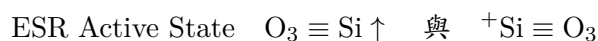
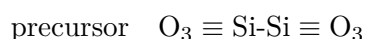
cf: 若為反磁性 (diamagnetic)，亦即沒有 electronic magnetic moment，則無法測量到 EPR 信號。

- ※ 測量步驟：

1. 將樣品放入微波腔 (microwave cavity) 並開啟直流磁場。
2. 改變磁場大小 ( $H$ )。
3. 當  $h\nu = g\beta H$  時，會發生共振吸收 (resonance absorption)。
4. 經由分析可得  $g$  值，也就得知了材料特性。

- ※ 圖 (4.9) 為經輻射後  $\text{SiO}_2$  之 EPR 頻譜。

→ 相關之缺陷與  $E'$  center 有關，有多種不同之組合。例如， $E'_r$  為輻射後電洞被捕捉在某一矽原子之空位 (vacancy) 後所形成的 ESR active state。



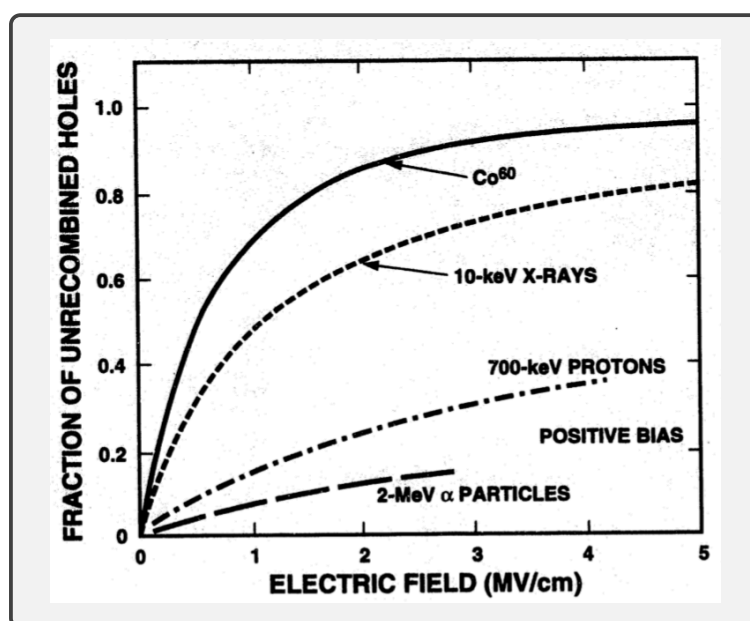


Figure 4.10: Charge yield for X-rays, protons, gamma rays, and alpha particles.

#### §4.2.2 電子—電洞良率 (Electron-hole yield)

※ 電場越大，良率越高。

※ 令  $g_0$  為每單位劑量產生的電子電洞對數量密度 (pair density generated per rad, pairs/cm<sup>3</sup>)。不考慮 dose enhancement effect，並且將  $N_h$  定義為在氧化層內逃離初始復合 (initial recombination) 所產生之總電洞數，因此，

$$N_h = f(E_0) \cdot g_0 \cdot D \cdot t_{ox} \quad (\#/cm^2)$$

其中， $f(E_0)$  為電洞量率 (hole yield)， $D$  為劑量 (dose)， $t_{ox}$  則為氧化層厚度 (oxide thickness, cm)。

• 對 SiO<sub>2</sub> 而言，

$$\begin{aligned} g_0 &= \frac{\text{density (g/cm}^3\text{)} \times \text{rad (erg/g)}}{E_p \text{ (eV)}} \\ &= \frac{2.2 \times 100 \times 10^{-7}}{17 \times 1.6 \times 10^{-19}} \\ &= 8.1 \times 10^{12} \text{ pairs/cm}^3 \end{aligned}$$

其  $N_h$  為  $8.1 \times 10^{12} \cdot f(E_{ox}) \cdot D \cdot t_{ox}$ 。

※ 假設電洞均勻產生於氧化層中，而在電洞移動之前之最大閾值電壓平移量（假設  $f(E_{\text{ox}}) = 1$ ） $\Delta V_{\text{th,max}}$  為

$$\begin{aligned}\Delta V_{\text{th,max}} &= \frac{-\Delta Q}{C_{\text{ox}}} \\ &= \frac{-qN_{\text{h(eff)}}}{\epsilon_{\text{ox}}/t_{\text{ox}}} \\ &= -\frac{1}{2} \frac{(1.6 \times 10^{-19}) N_{\text{h}}}{3.9 \times 8.85 \times 10^{-14}/t_{\text{ox}}} \\ &= -1.9 \times 10^{-8} \cdot f(E_{\text{ox}}) \cdot D \cdot t_{\text{ox}}^2 \\ &\propto t_{\text{ox}}^2\end{aligned}$$

其中， $t_{\text{ox}}$  之單位為 nm。

### §4.2.3 電洞傳輸 (Hole transport)

※ 電洞會扭曲局域電場 (local field distortion)，使能井加深，使得電洞更難脫離該能井。

- 電洞與相對之 strain field 合稱為 Polaron。
- 電洞移動時，局域電場之扭曲也跟著”移動”，稱為 Polaron hopping。
- Polaron 會增加電洞之等效質量  $m^*$ ，減少其等效遷移率  $\mu_h^*$ ，並使得電洞之速度分佈越來越不集中 (dispersive)；慢者越慢，快者越快。

- 對 50% recovery，293 K 只需要不到 1 ms 的時間就可恢復。而 181 K 則需要大約 500 s。
- 溫度越高，恢復所需時間  $\tau$  越短。
- 恢復時間 ( $\tau$ ):

$$\tau \sim \tau(0) \exp \left[ \frac{\Delta(\varepsilon)}{k_B T} \right]$$

其中， $\Delta(\varepsilon) = \Delta_0 = q \cdot a \cdot \varepsilon / 2$ ， $\Delta_0 \approx 0.65 \text{ eV}$ ， $a \approx 1 \text{ nm}$ ，為 average hopping distance。

- 圖 (4.12) 為定溫但變動電場下去觀察恢復時間。倘若要恢復 50%，那麼在電場為 6 MV/cm 時只需要 0.02 s。然而在 3 MV/cm 時，則至少需要 1000 s。
- 電場越大，恢復所需時間越短。

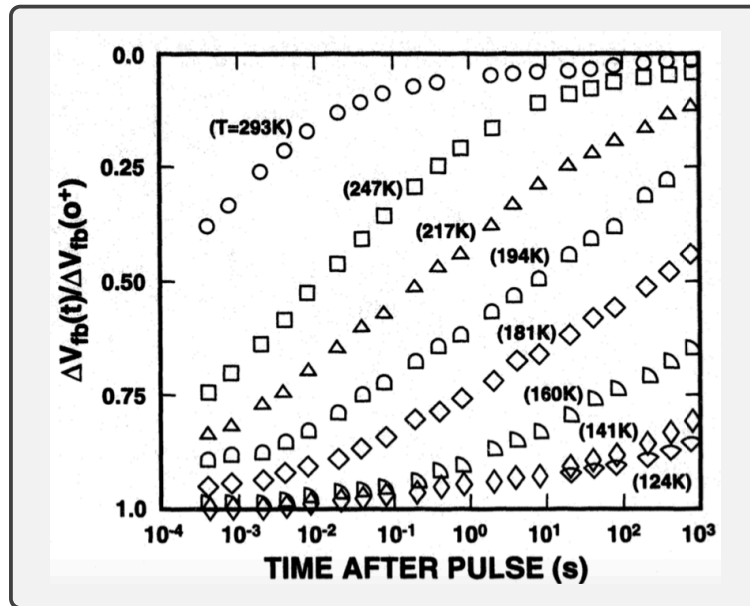


Figure 4.11: Temperature dependence of the flatband-voltage shift after a single radiation pulse. For this curve, the flatband-voltage shift is a measure of the number of holes in the oxide.

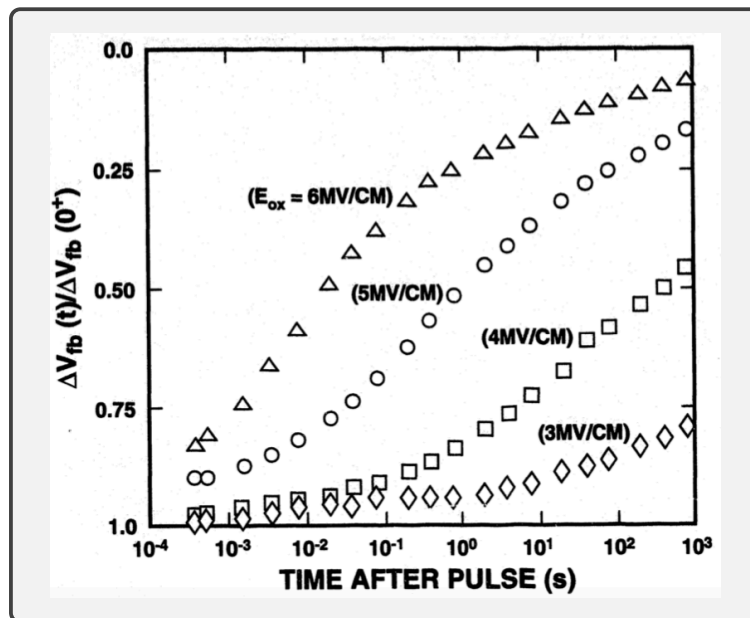


Figure 4.12: Electric field dependence of the flatband-voltage shift after a single radiation pulse. For this curve the flatband-voltage shift is a measure of the number of holes in the oxide.

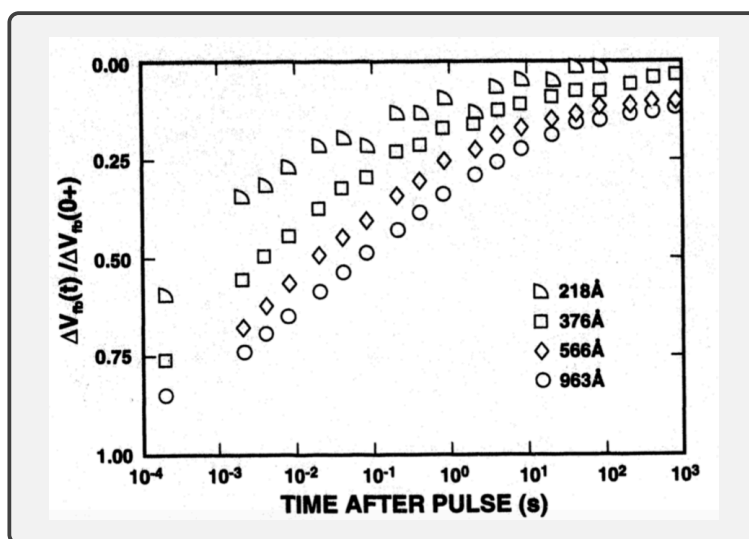


Figure 4.13: Oxide thickness dependence of the flatband-voltage shift after a single radiation pulse. For this curve the flatband-voltage shift is a measure of the number of holes in the oxide.

- 圖 (4.13) 為固定電場、溫度但變動氧化層厚度的例子。可以發現，厚度越厚，對於恢復到相同  $\Delta V_{fb}(t)/\Delta V_{fb}(0^+)$  之所需時間越長。具體來說， $\tau \propto t_{ox}^4$ 。

#### §4.2.4 氧化層能阱 (Oxide traps, $N_{ot}$ )

\* 在  $\text{SiO}_2/\text{Si}$  界面處，存在著許多氧化層空位 (oxide vacancy)，作為 hole trapping center。電洞經過後，會有部分電洞被捕捉，捕捉數量與電洞之 capture cross-section 大小有關。

→ hole capture cross-section 可視為 radiation hardness 之程度。

\* 見圖 (4.14)，於小電場時，因為有 e-h 復合機制，所以會使電洞數變少，也就是電洞良率下降。

→ 若將電洞數目固定，只看電場對 trapping 的效應，就是圖 (4.14) 中的 Adjusted line。

\* 電洞之 capture cross-section 與電場呈  $\propto E^{-1/2}$  之關係。換言之，電場越大，電洞越不容易被捕捉。

解釋. 氧化層能阱捕捉之電洞會使  $\Delta V_{ot} < 0$ 。此外，圖 (4.14) 中的 adjusted line 是指，因為在任一個電場下，電洞除了會被捕捉以外，還會逃離氧化層。例如說，在情境一，總共有 10 個電洞，其中有 7 個被捕捉，而有 3 個逃走。而在情境二中，假設

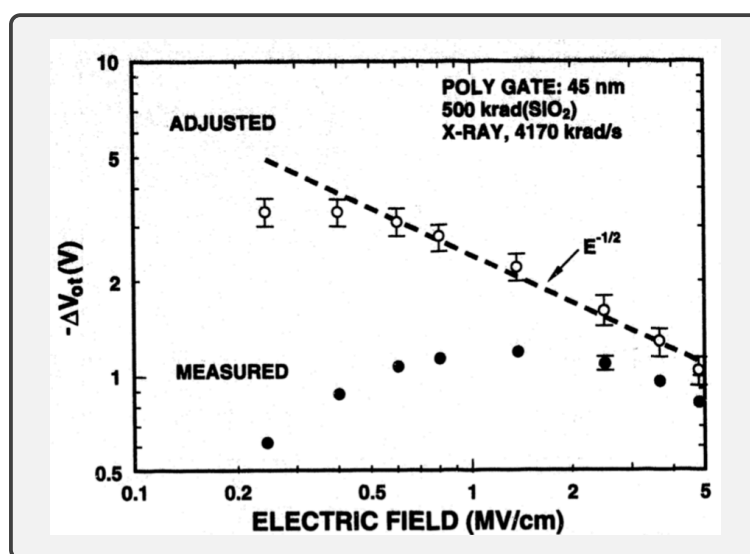


Figure 4.14: Electric field dependence of  $\Delta V_{ot}$  versus electric field. Shown is the measured data (solid circles) and the measured data adjusted for charge yield (open circles).

有 16 個電洞，其中有 8 個被捕捉，有 8 個逃走。我們不能夠因為  $7 < 8$  而得出情境一的電洞就比較難被捕捉的結論，因為在情境一中，總共只有 10 個電洞，所以被捕捉的比率是 70%。而在情境二中，電洞被捕捉的比率則是 50%，所以情境一的電洞反而比較容易被捕捉，而這就是 adjusted line 的意義。

#### \*4.2.4.1 氧化層能阱電荷之中和特性 (Oxide-trap charge neutralization)

- \* oxide-trap charge 產生後，將隨著時間逐漸被中和，這與溫度、電場與時間都有關。
- \* 將氧化層予以輻射，加正偏壓，在常溫下觀察輻射後之消弭行為 (anneal)。會發現 oxide-trap charge 引起之  $\Delta V_{ot}$  逐漸遞減。
- \* 見圖 (4.15)， $\Delta V_{ot}$  與  $\ln t$  呈正比。不論輻射速率 (dose rate) 為何，只要 irradiation + anneal time 相同，那麼  $N_{ot}$  引起之  $\Delta V_{ox}$  大致相同：

$$\text{* Empirical equation: } -\Delta V_0(t) = \frac{-A \ln \left( \frac{t}{t_0} \right) + C}{\gamma_0}$$

此式為單位劑量下之中和響應 (anneal response)，或暫態中和曲線 (transient anneal curve)。 $\gamma_0$  為總劑量 (total dose)， $A$  為  $\Delta V_0(t)$  之斜率， $C$  則是於  $t = t_0$  時之截距。



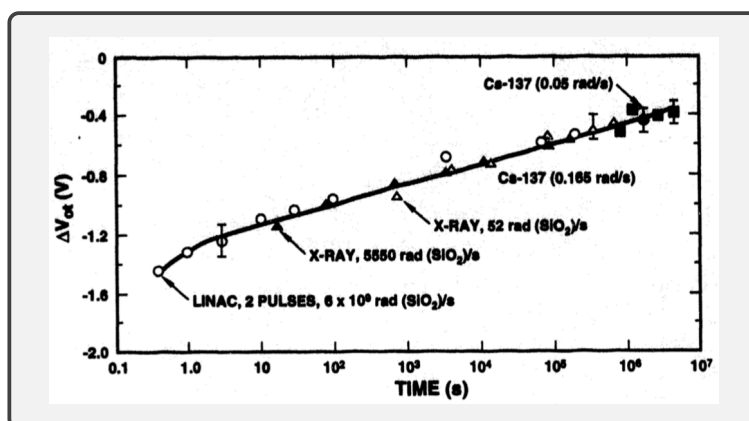


Figure 4.15: The change in  $\Delta V_{ox}$  during anneal at room temperature for transistors irradiated at dose rates from  $6 \times 10^9$  to  $0.05 \text{ rad}(\text{Si})/\text{s}$

解釋. 圖 (4.15) 中的實驗為在將劑量固定為  $100 \text{ krad}(\text{SiO}_2)$  下的實驗, 並且氧化層厚度為  $60 \text{ nm}$ , 氧化層偏壓固定為  $6 \text{ V}$ 。

\* 當 dose rate 為  $\dot{r}(t)$  時, 其  $\Delta V_{ot}$  為:

$$\Delta V_{ot} = \int_0^t \dot{r}(\tau) \Delta V_0(t - \tau) d\tau$$

→ 與 dose rate  $\dot{r}(t)$  以及總劑量  $D = \dot{r} \cdot t$  有關。

→ 可預測任何劑量或輻射速率 (dose rate) 下之  $\Delta V_{ot}(t)$ 。

#### \*4.2.4.2 消弭機制 (Anneal, 中和氧化層能阱電荷)

\* 兩大機制:

1. 來自 Si 之  $e^-$  tunneling
2. 來自  $\text{SiO}_2$  valance band 之  $e^-$  thermal emission

#### \*4.2.4.3 微觀缺陷中心 (Microscopic Defect Centers)

### §4.2.5 界面能阱 (Interface traps, $N_{it}$ )

#### \*4.2.5.1 界面能阱之生成特性 (Build up of interface traps)

#### \*4.2.5.2 界面能阱之消弭特性 (anneal)

#### \*4.2.5.3 界面性質之產生機制

- 曾被提出之  $N_{it}$  產生機制:

1. 直接由於輻射產生  $\Delta D_{it} \Rightarrow$  已被證明為非主要機制（還要考慮電洞）。
2. 經由捕捉電洞（hole trapping）而產生  $\Delta D_{it} \Rightarrow$  理由不夠強（缺  $H^+$  離子）
3. 經由與 H 相關機制之輔助而產生  $\Delta D_{it} \Rightarrow$  有數種模型

- **Two-stage model**

電洞打斷 Si-H 鍵，放出中性之  $H^0$  原子並擴散至界面以打斷界面之 Si-H 鍵結，產生  $\Delta D_{it}$ 。缺點：無法解釋偏壓效應。

- **Modified Two-stage model**

電洞移動，釋放出  $H^+$  離子，經電場漂移至界面，打斷 Si-H 或 Si-OH 鍵結，產生  $\Delta D_{it}$ 。優點：可解釋偏壓效應，即  $+V_G$  時， $\Delta D_{it}$  大，而當  $-V_G$  時， $\Delta D_{it}$  小。缺點：仍無法解釋聚晶矽電晶體中的電場上升時， $\Delta D_{it}$  的下降現象。

- **Hole Trapping / Hydrogen Transport model, (HT)<sup>2</sup> model**

氧化層內之電洞在界面附近被捕捉，被捕捉之後放出  $H^+$ 。接著  $H^+$  移動到  $SiO_2/Si$  界面經化學反應產生  $\Delta D_{it}$ 。

→ 主要機制為靠近界面處之 hole capture cross-section。  
 $\epsilon \uparrow, \sigma \downarrow, \Delta D_{it} \downarrow$ 。

\* 在乾氧化層實驗中，得知  $\Delta D_{it}$  之生成與氧化層厚度沒有顯著關係，與 (HT)<sup>2</sup> model 一致。在討論範圍內，於 ms 時，電洞已傳輸完全，此時仍沒有出現  $\Delta D_{it}$ 。而當  $e^-$  從矽穿隧至  $SiO_2$  並將  $N_{ot}$  中和而形成  $\Delta D_{it}$  時，就與  $t_{ox}$  無關。

\* 在溼氧化層實驗中，得知  $\Delta D_{it}$  之生成與氧化層厚度有顯著關係（尤其較厚之 100 nm），需結合部分之 (HT)<sup>2</sup> model 以及  $H^+$  drift model (Modified two-stage model) 來解釋。較厚之  $SiO_2$ ， $H^+$  漂移得較慢，也就較慢產生  $\Delta D_{it}$ 。

\* H 扮演形成  $\Delta D_{it}$  之角色為：



其中， $e^-$  為由 Si 穿隧至  $SiO_2$  之電子。將  $N_{ot}$  中和並釋放能量，形成  $N_{it}$ 。

$\cdot Si \equiv Si$  為具有 dangling bond 之 interface trap。

\* 基本上， $\Delta D_{it}$  之產生涉及下列步驟：

於 oxide 內產生電洞 (Ex: 輻射)

↓

電洞移動，被捕捉

↓

釋放出 H

↓

在界面結合  $e^-$  以形成  $\Delta D_{it}$

#### §4.2.6 邊界能阱 (Border traps)

#### §4.2.7 元件特性

##### \*4.2.7.1 薄氧化層 (Thin oxides)

##### \*4.2.7.2 場氧化層 (Field oxides)

### 4.3 SOI 之輻射效應

#### §4.3.1 SOI 元件